

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2004039150 A**(43) Date of publication of application: **05.02.04**

(51) Int. Cl.

G11C 11/15
H01L 27/10
H01L 27/105
H01L 43/08

(21) Application number: **2002196575**(22) Date of filing: **04.07.02**(71) Applicant: **NEC CORP**

(72) Inventor: **SAKIMURA NOBORU**
HONDA YUJI
SUGIBAYASHI NAOHIKO

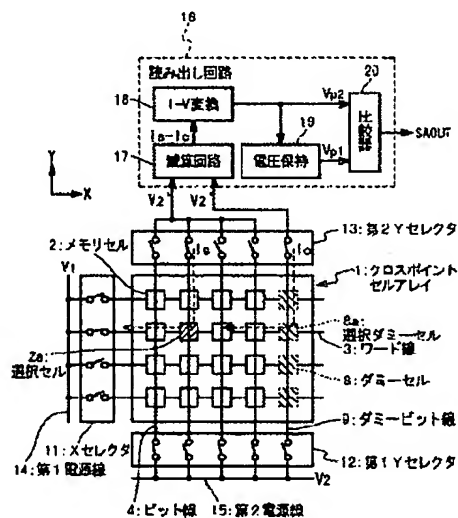
(54) **MAGNETIC RANDOM ACCESS MEMORY**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a technology by which reliability of discriminating data stored in a memory cell of a MRAM can be improved by eliminating the influence of the sneak pass current.

SOLUTION: This MRAM is provided with a cross point cell array 1, a plurality of word lines 3 arranged extending in the first direction (x direction), a plurality of bit lines 4 arranged extending in the second direction (y direction) being different from the first direction (x direction), a dummy bit line 9 arranged extending in the second direction (y direction), a X selector 11 selecting a selection word line out of the plurality of word lines 3, a first Y selector 12 and a second Y selector 13 selecting a selection bit line out of the plurality of bit lines 4, and a reading circuit 16. The cross point cell array 1 is provided with a plurality of memory cells 2 and a plurality of dummy cells 8.

COPYRIGHT: (C)2004,JPO



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-39150

(P2004-39150A)

(43) 公開日 平成16年2月5日(2004.2.5)

(51) Int. Cl.⁷

F I

テーマコード (参考)

G 1 1 C 11/15

G 1 1 C 11/15 1 5 0

5 F 0 8 3

H 0 1 L 27/10

G 1 1 C 11/15 1 9 0

H 0 1 L 27/105

H 0 1 L 27/10 4 8 1

H 0 1 L 43/08

H 0 1 L 43/08 Z

H 0 1 L 27/10 4 4 7

審査請求 有 請求項の数 31 O L (全 42 頁)

(21) 出願番号

特願2002-196575 (P2002-196575)

(22) 出願日

平成14年7月4日(2002.7.4)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(74) 代理人 100102864

弁理士 工藤 実

(72) 発明者 崎村 昇

東京都港区芝五丁目7番1号 日本電気株式会社社内

(72) 発明者 本田 雄士

東京都港区芝五丁目7番1号 日本電気株式会社社内

(72) 発明者 杉林 直彦

東京都港区芝五丁目7番1号 日本電気株式会社社内

Fターム(参考) 5F083 F210 GA11 LA04 LA05 LA10

ZA10 ZA28

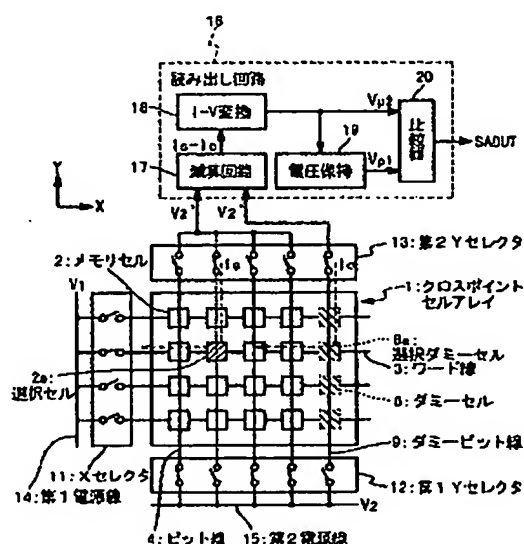
(54) 【発明の名称】 磁気ランダムアクセスメモリ

(57) 【要約】

(修正有)

【課題】 スニークパス電流の影響を排除して、MRAMのメモリセルに記憶されているデータ判別の信頼性を向上する技術を提供する。

【解決手段】 MRAMは、クロスポイントセルアレイ1と、第1方向(x方向)に延設されている複数のワード線3と、第1方向(x方向)と異なる第2方向(y方向)に延設されている複数のビット線4と、第2方向(y方向)に延設されているダミービット線9と、複数のワード線3のうちから選択ワード線を選択するXセクタ11と、複数のビット線4のうちから選択ビット線を選択する第1Yセクタ12および第2Yセクタ13と、読み出し回路16とを備えている。クロスポイントセルアレイ1は、複数のメモリセル2と、複数のダミーセル8とを備えている。



【特許請求の範囲】

【請求項 1】

クロスポイントセルアレイと、
 第 1 方向に延設されている複数のワード線と、
 前記第 1 方向と異なる第 2 方向に延設されている複数のビット線と、
 前記第 2 方向に延設されているダミービット線と、
 前記複数のワード線のうちから選択ワード線を選択する第 1 セクタと、
 前記複数のビット線のうちから選択ビット線を選択する第 2 セクタと、
 読み出し回路
 とを備え、
 前記クロスポイントセルアレイは、反転可能な自発磁化を有し、且つ前記自発磁化の方向に応じて抵抗が異なる磁気抵抗素子を含んで構成されている複数のセルを含み、
 前記複数のセルは、
 前記自発磁化の方向に応じてデータを記憶する複数のメモリセルと、
 複数のダミーセル
 とを備え、
 前記複数のメモリセルのそれぞれは、前記複数のワード線のうちの一のワード線と、前記複数のビット線のうちの一のビット線との間に介設され、
 前記ダミーセルのそれぞれは、前記複数のワード線のうちの一のワード線と、前記ダミービット線との間に介設され、
 前記読み出し回路は、
 前記選択ワード線と前記選択ビット線との間に電圧が印加されることによって前記選択ビット線に流れる検知電流と、前記選択ワード線と前記ダミービット線との間に電圧が印加されることによって前記ダミービット線に流れるオフセット成分電流との差に対応する電流差信号を生成するオフセット除去回路と、
 前記電流差信号に基づいて、前記選択ワード線と前記選択ビット線との間に介設された選択セルに記憶されている記憶データを判別するデータ判別回路
 とを含む
 磁気ランダムアクセスメモリ。

【請求項 2】

請求項 1 に記載の磁気ランダムアクセスメモリにおいて、
 前記データ判別回路は、
 前記電流差信号の電流に対応した出力電圧を出力する電流電圧変換回路と、
 前記出力電位に基づいて前記メモリセル記憶データを判別する判別回路
 とを備えた
 磁気ランダムアクセスメモリ。

【請求項 3】

請求項 1 に記載の磁気ランダムアクセスメモリにおいて、
 前記選択セルに記憶されている前記記憶データの読み出しのとき、前記第 1 セクタは、前記選択ワード線に第 1 電位を印加し、前記複数のワード線のうち前記選択ワード線以外の非選択ワード線を開放し、
 前記記憶データの読み出しのとき、前記第 2 セクタは、前記選択ビット線と前記ダミービット線とを前記読み出し回路に接続し、
 前記記憶データの読み出しのとき、前記読み出し回路は、前記選択ビット線と前記ダミービット線とに前記第 1 電位と異なる第 2 電位を印加する
 磁気ランダムアクセスメモリ。

【請求項 4】

請求項 3 に記載の磁気ランダムアクセスメモリにおいて、
 更に、
 前記複数のビット線のうち前記選択ビット線以外の非選択ビット線を、前記第 2 電位と実質的に同一の電位を有する電位線に接続する第 3 セクタを備える
 磁気ランダムアクセスメモリ。

【請求項 5】

請求項 3 に記載の磁気ランダムアクセスメモリにおいて、
 前記第 2 セクタは、前記複数のビット線のうち前記選択ビット線以外の非選択ビット線を開放する
 磁気ランダムアクセスメモリ。

【請求項 6】

請求項 1 に記載の磁気ランダムアクセスメモリにおいて、
 更に、
 一の冗長ビット線に接続された複数の冗長メモリセルで構成されている冗長セルカラムを含む冗長メモリセルアレイと、
 置換情報保持器を含む冗長設計処理回路
 とを備え、
 前記クロスポイントセルアレイは、前記複数のビット線にそれぞれ対応する複数のメモリセルカラムを含み、
 前記メモリセルカラムのそれぞれは、前記複数のメモリセルのうち、それぞれが対応するビット線に接続されているメモリセルで構成され、
 前記置換情報保持器は、前記メモリセルカラムのうち、前記冗長メモリセルカラムに置換される置換対象メモリセルカラムを示す置換情報を保持し、
 前記冗長設計処理回路は、前記置換情報にตอบสนองして、前記置換対象メモリセルカラムを前記冗長メモリセルカラムに置換する
 磁気ランダムアクセスメモリ。

【請求項 7】

3

請求項 1 に記載の磁気ランダムアクセスメモリにおいて、
更に、
置換情報保持器を含む冗長設計処理回路とを備え、
前記複数のダミーセルは、ダミーセルカラムを構成し、
前記クロスポイントセルアレイは、更に、
冗長ダミービット線と、
前記冗長ダミービット線と、前記複数のワード線のうちの
一のワード線との間に介設された複数の冗長ダミーセル
から構成されている冗長ダミーセルカラム
とを含み、
前記置換情報保持器は、前記ダミーセルカラムが前記冗
長ダミーセルカラムに置換されるか否かを示す置換情報
を保持し、
前記冗長設計処理回路は、前記置換情報にตอบสนองして、前
記ダミーセルカラムを前記冗長ダミーセルカラムに置換
する
磁気ランダムアクセスメモリ。

【請求項 8】

請求項 1 に記載の磁気ランダムアクセスメモリにおいて、
更に、
前記第 1 方向に延設された参照ワード線を備え、
前記複数のセルは、更に、
前記自発磁化の方向として所定のデータを記憶する複数の
の参照セルと、
データの記憶に使用されない他のダミーセル
とを含み、
前記複数の参照セルのそれぞれは、前記複数のビット線
のうちの一のビット線と、前記参照ワード線との間に介
設され、
前記他のダミーセルは、前記ダミービット線と前記参照
ワード線との間に介設され、
前記オフセット除去回路は、前記選択ビット線と前記参
照ワード線との間に電圧を印加することによって流れる
参照検知電流と、前記ダミービット線と前記参照ワード
線との間に電圧を印加することによって流れる他のオフ
セット成分電流との差に対応する他の電流差信号を生成
し、
前記データ判別回路は、前記電流差信号と前記他の電流
差信号に基づいて前記記憶データを判別する
磁気ランダムアクセスメモリ。

【請求項 9】

請求項 8 に記載の磁気ランダムアクセスメモリにおいて、
前記データ判別回路は、
前記他の電流差信号の電流に対応する第 1 出力電位を出力し、前記電流差信号の電流に対応する第 2 出力電位を出力する電流電圧変換回路と、

(3)

特開 2004-39150

4

前記第 1 出力電位と前記第 2 出力電位とに基づいて前記
記憶データを判別する判別回路
とを備えた
磁気ランダムアクセスメモリ。

【請求項 10】

請求項 9 に記載の磁気ランダムアクセスメモリにおいて、
前記データ判別回路は、更に、電位保持回路を有し、
第 1 読み出し動作期間において、前記オフセット除去回
路は、前記選択ビット線を通る前記参照検知電流と、
前記ダミービット線を通る前記他のオフセット成分電
流とから前記他の電流差信号を生成し、前記電流電圧変
換回路は、前記他の電流差信号を受けて前記第 1 出力電
位を出力し、前記電位保持回路は、前記第 1 出力電位を
保持し、
前記第 1 読み出し動作期間に時間的に遅れる第 2 読み出
し動作期間において、前記オフセット除去回路は、前記
選択ビット線を通る前記検知電流と、前記ダミービッ
ト線を通る前記オフセット成分電流から前記電流差信
号を生成し、前記電流電圧変換回路は、前記電流差信号
を受けて前記第 2 出力電位を出力し、且つ、前記判別回
路は、前記電位保持回路によって保持されている前記第
1 出力電位と前記第 2 出力電位とを比較して前記記憶デ
ータを判別する
磁気ランダムアクセスメモリ。

【請求項 11】

請求項 10 に記載の磁気ランダムアクセスメモリにおいて、
前記第 1 セレクタは、前記第 1 読み出し動作期間の間、
前記参照ワード線に第 1 電位を印加し、前記複数のワー
ド線の全てを開放し、前記第 2 読み出し動作期間の間、
前記選択ワード線に前記第 1 電位を印加し、前記参照ワ
ード線と前記複数のワード線のうちの前記選択ワード線
以外の非選択ワード線とを開放し、
前記第 2 セレクタは、前記選択ビット線と前記ダミービ
ット線とを前記読み出し回路に接続し、
前記読み出し回路は、前記第 1 読み出し動作期間と前記
第 2 読み出し動作期間との間、前記選択ビット線と前記
ダミービット線とを前記第 1 電位と異なる第 2 電位に維
持する
磁気ランダムアクセスメモリ。

【請求項 12】

請求項 9 に記載の磁気ランダムアクセスメモリにおいて、
前記データ判別回路は、更に、電位保持回路を有し、
第 1 読み出し動作期間において、前記オフセット除去回
路は、前記選択ビット線を通る前記検知電流と、前記
ダミービット線を通る前記オフセット成分電流とから
前記電流差信号を生成し、前記電流電圧変換回路は、前
記電流差信号を受けて前記第 2 出力電位を出力し、且

つ、前記電位保持回路は、前記第2出力電位を保持し、前記第1読み出し動作期間に時間的に遅れる第2読み出し動作期間において、前記オフセット除去回路は、前記選択ビット線を通る前記参照検知電流と、前記ダミービット線を通る前記他のオフセット成分電流とから前記他の電流差信号を生成し、前記電流電圧変換回路は、前記他の電流差信号を受けて前記第1出力電位を出力し、前記判別回路は、前記第1出力電位と前記電位保持回路に保持されている前記第2出力電位とを比較して前記記憶データを判別する
磁気ランダムアクセスメモリ。

【請求項13】

請求項12に記載の磁気ランダムアクセスメモリにおいて、

前記第1セレクトは、前記第1読み出し動作期間の間、前記選択ワード線に第1電位を印加し、前記参照ワード線と前記複数のワード線のうちの前記選択ワード線以外の非選択ワード線とを開放し、前記第2読み出し動作期間の間、前記参照ワード線に前記第1電位を印加し、前記複数のワード線の全てを開放し、

前記第2セレクトは、前記選択ビット線と前記ダミービット線とを前記読み出し回路に接続し、

前記読み出し回路は、前記第1読み出し動作期間と前記第2読み出し動作期間との間、前記選択ビット線と前記ダミービット線とを前記第1電位と異なる第2電位に維持する

磁気ランダムアクセスメモリ。

【請求項14】

請求項11又は請求項13に記載の磁気ランダムアクセスメモリにおいて、

前記第2セレクトは、前記複数のビット線のうち前記選択ビット線以外の非選択ビット線を、前記第2電位と実質的に同一電位を有する電位線に接続する

磁気ランダムアクセスメモリ。

【請求項15】

請求項11又は請求項13のいずれかに記載の磁気ランダムアクセスメモリにおいて、

前記第2セレクトは、前記複数のビット線のうち前記選択ビット線以外の非選択ビット線を開放する

磁気ランダムアクセスメモリ。

【請求項16】

クロスポイントセルアレイと、

第1方向に延設されている複数のワード線と、

前記第1方向と異なる第2方向に延設されている複数のビット線と、

前記第1方向に延設されている参照ワード線と、

前記複数のワード線のうちから選択ワード線を選択する第1セレクトと、

前記複数のビット線のうちから選択ビット線を選択する第2セレクトと、

読み出し回路

とを備え、

前記クロスポイントセルアレイは、反転可能な自発磁化を有し、且つ前記自発磁化の方向に応じて抵抗が異なる磁気抵抗素子で形成された複数のセルを含み、

前記複数のセルは、

前記自発磁化の方向に応じてデータを記憶する複数のメモリセルと、

所定のデータが、前記自発磁化の方向に応じて記憶されている複数の参照セルとを含み、

前記複数のメモリセルのそれぞれは、前記複数のワード線のうちの1つのワード線と、前記複数のビット線のうちの1つのビット線との間に介設され、

前記複数の参照セルのそれぞれは、前記複数のビット線のうちの1つのビット線と、前記参照ワード線との間に介設され、

前記読み出し回路は、前記選択ワード線と前記選択ビット線との間に電圧が印加されたときに前記選択ビット線を通る検知電流と、前記参照ワード線と前記選択ビット線との間に電圧が印加されたときに前記選択ビット線に通る参照検知電流とに基づいて、前記選択セルに記憶されている記憶データを判別する

磁気ランダムアクセスメモリ。

【請求項17】

請求項16に記載の磁気ランダムアクセスメモリにおいて、

前記読み出し回路は、

電流電圧変換回路と、

電位保持回路と、

判別回路

とを含み、

第1読み出し動作期間において、前記電流電圧変換回路は、前記選択ビット線から前記参照検知電流にตอบสนองして第1出力電位を生成し、前記電位保持回路は、前記第1出力電位を保持し、

前記第1読み出し動作期間に時間的に遅れる第2読み出し動作期間において、前記電流電圧変換回路は、前記選択ビット線を通る前記検知電流にตอบสนองして第2出力電位を生成し、前記判別回路は、前記電位保持回路によって保持されている前記第1出力電位と前記第2出力電位とを比較して前記記憶データを判別する

磁気ランダムアクセスメモリ。

【請求項18】

請求項16に記載の磁気ランダムアクセスメモリにおいて、

前記読み出し回路は、

電流電圧変換回路と、

電位保持回路と、

判別回路

とを含み、

第1読み出し動作期間において、前記電流電圧変換回路は、前記選択ビット線を通る前記検知電流に反応して第2出力電位を生成し、前記電位保持回路は、前記第2出力電位を保持電位として保持し、
前記第1読み出し動作期間に時間的に遅れる第2読み出し動作期間において、前記電流電圧変換回路は、前記選択ビット線を通る前記参照検知電流に反応して第1出力電位を生成し、前記判別回路は、前記保持電位と前記第1出力電位とを比較して前記記憶データを判別する磁気ランダムアクセスメモリ。

【請求項19】

請求項16に記載の磁気ランダムアクセスメモリにおいて、
更に、
置換情報保持器を含む冗長設計処理回路を備え、
前記複数の参照セルは、参照セルカラムを構成し、
前記クロスポイントセルアレイは、一の冗長参照ワード線に接続された複数の冗長参照セルで構成されている冗長参照セルカラムを含み、
前記置換情報保持器は、前記参照セルカラムが前記冗長参照セルカラムに置換されるか否かを示す置換情報を保持し、
前記冗長設計処理回路は、前記置換情報に反応して、前記参照セルカラムを前記冗長参照セルカラムに置換する磁気ランダムアクセスメモリ。

【請求項20】

反転可能な自発磁化を有し、且つ前記自発磁化の方向に応じて抵抗が異なる磁気抵抗素子で形成された複数のセルと、
読み出し回路とを備え、
前記複数のセルは、
前記自発磁化の方向として、“1”又は“0”であるメモリセル記憶データを記憶するメモリセルと、
所定のデータが記憶された参照セルとを含み、
前記読み出し回路は、前記メモリセルからメモリセル電流をとりだし、前記参照セルから参照セル電流を取り出して、前記メモリセル電流と前記参照セル電流とに基づいて前記メモリセル記憶データを判別する読み出し動作を複数回行い、前記複数の読み出し動作によって得られた前記複数のメモリセル記憶データの判別結果から、最終的に前記メモリセル記憶データを判別する磁気ランダムアクセスメモリ。

【請求項21】

請求項20に記載の磁気ランダムアクセスメモリにおいて、
前記読み出し動作が行われる回数は、奇数回である磁気ランダムアクセスメモリ。

【請求項22】

請求項20に記載の磁気ランダムアクセスメモリにおいて、
前記読み出し回路は、前記読み出し動作において、前記メモリセル記憶データが“1”であると判別された回数が、前記メモリセル記憶データが“0”であると判別された回数を所定回数よりも上回るとき、前記メモリセル記憶データが“1”であると最終的に判別し、前記読み出し動作において前記メモリセル記憶データが“0”であると判別された回数が、前記メモリセル記憶データが“1”であると判別された回数を所定回数よりも上回るとき、前記メモリセル記憶データを最終的に“0”であると判別する磁気ランダムアクセスメモリ。

【請求項23】

請求項22に記載の磁気ランダムアクセスメモリにおいて、
前記読み出し回路は、更に、nビットのカウントを含み、
前記読み出し動作が行われる回数は、 $2^n - 1$ 回であり、
前記カウントが記憶する値は、前記読み出し動作において、前記メモリセル記憶データが“1”であると判別される毎に1だけ増加され、且つ、
前記カウントは、前記読み出し動作が $2^n - 1$ 回行われた後、その最上位ビットを最終的に判別された前記メモリセル記憶データとして出力する磁気ランダムアクセスメモリ。

【請求項24】

30 請求項20に記載の磁気ランダムアクセスメモリにおいて、
前記参照セルは、前記所定のデータを前記自発磁化の向きに対応させて保持する参照セルフリー層を備え、
前記メモリセルは、前記メモリセル記憶データを前記自発磁化の向きに対応させて保持するメモリセルフリー層を備え、
前記参照セルフリー層と前記メモリセルフリー層とは、面積が異なる磁気ランダムアクセスメモリ。

【請求項25】

40 請求項24に記載の磁気ランダムアクセスメモリにおいて、
前記参照セルフリー層は、前記メモリセルフリー層よりも面積が小さい磁気ランダムアクセスメモリ。

【請求項26】

50 請求項25に記載の磁気ランダムアクセスメモリにおいて、
前記メモリセルフリー層の前記自発磁化の方向に一致する長さ方向の長さb c e i tと、前記メモリセルフリー

層の前記自発磁化に垂直な幅方向の幅 a_{cell} と、前記参照セルフフリー層の前記長さ方向の長さ b_{ref} と、前記参照セルフフリー層の前記幅方向の幅 a_{ref} とは、下記式：

$$a_{ref}/b_{ref} < a_{cell}/b_{cell},$$

を満足する

磁気ランダムアクセスメモリ。

【請求項 27】

請求項 25 に記載の磁気ランダムアクセスメモリにおいて、

前記参照セルの抵抗値は、前記メモリセルの抵抗値のうちの大きい方の高抵抗値と、小さい方の低抵抗値との間に選ばれた

磁気ランダムアクセスメモリ。

【請求項 28】

反転可能な自発磁化を有し、且つ前記自発磁化の方向に応じて抵抗が異なる磁気抵抗素子で形成された複数のセルと、

読み出し回路

とを備え、

前記複数のセルは、

前記自発磁化の方向に対応させて、“1”又は“0”であるメモリセル記憶データを記憶するメモリセルフリー層を備えたメモリセルと、

前記自発磁化の方向に対応させて、所定のデータを記憶する参照セルフフリー層を備えた参照セル

とを含み、

前記参照セルフフリー層と前記メモリセルフリー層とは、面積が異なり、前記読み出し回路は、前記メモリセルからメモリセル電流をとりだし、前記参照セルから参照セル電流を取り出して、前記メモリセル電流と前記参照セル電流とに基づいて前記メモリセル記憶データを判別する

磁気ランダムアクセスメモリ。

【請求項 29】

請求項 28 に記載の磁気ランダムアクセスメモリにおいて、

前記参照セルフフリー層は、前記メモリセルフリー層よりも面積が小さい

磁気ランダムアクセスメモリ。

【請求項 30】

請求項 29 に記載の磁気ランダムアクセスメモリにおいて、

前記メモリセルフリー層の前記自発磁化の方向に一致する長さ方向の長さ b_{cell} と、前記メモリセルフリー層の前記自発磁化に垂直な幅方向の幅 a_{cell} と、前記参照セルフフリー層の前記長さ方向の長さ b_{ref} と、前記参照セルフフリー層の前記幅方向の幅 a_{ref} とは、下記式：

$$a_{ref}/b_{ref} < a_{cell}/b_{cell},$$

を満足する

磁気ランダムアクセスメモリ。

【請求項 31】

請求項 29 に記載の磁気ランダムアクセスメモリにおいて、

前記参照セルフフリー層の面積は、前記参照セルの抵抗値が、前記メモリセルの抵抗値のうちの大きい方の高抵抗値と、小さい方の低抵抗値との間になるように定められた

10 磁気ランダムアクセスメモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、磁気ランダムアクセスメモリ (MRAM) に関し、特に、MRAM のメモリセルに記憶されているデータをより確実に判別するための技術に関する。

【0002】

【従来の技術】

20 磁気ランダムアクセスメモリ (Magnetic Random Access Memory: 以下、「MRAM」という。) は、高速書き込みが可能であり、且つ、大きな書き換え回数を有する不揮発性メモリとして注目を集めている。

【0003】

典型的な MRAM は、複数のメモリセルが行列に配列されたメモリセルアレイを含む。各メモリセルは、固定された自発磁化を有するピン層と、反転可能な自発磁化を有するフリー層と、ピン層とフリー層との間に介設されたスペーサ層とにより構成される磁気抵抗素子を含む。
30 フリー層は、その自発磁化の向きが、ピン層の自発磁化の向きと平行、又は反平行に向くことが許されるように、反転可能に形成される。

【0004】

メモリセルは、1 ビットのデータを、フリー層及びピン層の自発磁化の方向として記憶する。メモリセルは、フリー層の自発磁化とピン層の自発磁化とが平行である“平行”状態と、フリー層の自発磁化とピン層の自発磁化とが反平行である“反平行”状態の 2 つの状態を取り得る。メモリセルは、“平行”状態と、“反平行”状態とのうちの一方を“0”に、他方を“1”に対応付けることにより、1 ビットのデータを記憶する。

【0005】

フリー層及びピン層の自発磁化の方向は、メモリセルの抵抗に影響を及ぼす。ピン層とフリー層との自発磁化の向きが平行である場合には、メモリセルの抵抗は、第 1 値 R となり、反平行である場合には、メモリセルの抵抗は、第 2 値 $R + \Delta R$ になる。フリー層及びピン層の自発磁化の方向、即ち、メモリセルに記憶されているデータは、メモリセルの抵抗を検知することにより判別することができる。メモリセルの抵抗は、所定の電圧を磁気抵
50

11

抗素子に印加することによって該磁気抵抗素子に流れる電流、及び所定の電流を磁気抵抗素子に流すことによって該磁気抵抗素子に発生する電圧のいずれかに基づいて検知される。

【0006】

MRAMのメモリセルの構成として、磁気抵抗素子がアクセストランジスタを介してビット線に接続される構成と、磁気抵抗素子が直接にワード線及びビット線に接続される構成とが知られている。後者は、メモリセルの選択性において前者に劣るものの、高集積化に適している点で有力な構成である。後者のメモリセルで構成されるアレイは、クロスポイントセルアレイとして知られている。

【0007】

クロスポイントセルアレイを採用したMRAMのメモリセルのデータの判別の信頼性を損ねる要因として、寄生電流（又はスニークパス電流）が挙げられる。クロスポイントセルアレイに含まれるメモリセルは、多数の並列な経路によって結ばれている。スニークパス電流とは、この並列な経路を介して、読み出し対象のメモリセルを通過せずに流れる電流のことである。スニークパス電流は、メモリセルに記憶されたデータを判別するときに、メモリセルの抵抗を正確に検知することを妨げる。

【0008】

スニークパス電流による影響を抑制してクロスポイントセルアレイのメモリセルの抵抗を高い信頼性で検知するMRAMが、特開2002-8369に開示されている。図18は、従来のそのMRAMを示す概略図である。当該MRAMは、複数のメモリセル112を備えた抵抗性クロスポイントアレイ110を備えている。抵抗性クロスポイントアレイ110は、行方向に延設された複数のワード線114と、列方向に延設された複数のビット線116とを備えている。メモリセル112のそれぞれは、ワード線114とビット線116との交点に位置する。ワード線114は、ワード線114を選択する行デコード回路118に接続されている。ビット線116は、検知回路120に接続されている。検知回路120は、ビット線116を選択する操行回路122と、センスアンプ124と、データレジスタ130と、入出力パッド132とを備えている。

【0009】

該MRAMのデータ読み出し動作は、以下のようにして行われる。行デコード回路118によりワード線114が選択され、操行回路122によりビット線116が選択される。選択されたワード線114と選択されたビット線116との交点に位置するメモリセル112が選択される。

【0010】

図19は、データ読み出し時の抵抗性クロスポイントアレイ110の等価回路を示している。選択されたメモリ

12

セルは、第1抵抗器112aによって表され、選択されていないメモリセルは、第2、第3、及び第4抵抗器112b、112c、及び112dによって表されている。第2抵抗器112bは、選択されたビット線に沿った選択されていないメモリセルを表し、第3抵抗器112cは、選択されたワード線に沿った選択されていないメモリセルを表し、第4抵抗器112dは、残りの選択されていないメモリセルを表している。

【0011】

10 選択されたビット線には、動作電位 V_s が印加され、選択されたワード線は、接地電位が印加される。これにより、第1抵抗器112aには、検知電流 I_s が流れる。スニークパス電流の影響の抑制のために、選択されていないビット線に、動作電位 V_s と同一の動作電位 V_b が印加される。動作電位 V_b の印加により、第2抵抗器112b及び第4抵抗器112dを流れるスニーク電流 S_1 、 S_3 は遮断される。更に、第3抵抗器112cを流れるスニークパス電流 S_2 は、接地電位に導かれ、従って、検知電流 I_s と干渉しない。ゆえに、検知電流 I_s を高い信頼性で検知できる。

【0012】

代替的には、図20に示されているように、選択されていないワード線に、動作電位 V_s と同一の動作電位 V_b が印加される。スニークパス電流 S_1 は、第2抵抗器112bを流れないように遮断される。第3抵抗器112cを流れるスニークパス電流 S_2 と、第4抵抗器112dを流れるスニークパス電流 S_3 は、接地電位に導かれ、従って、検知電流 I_s と干渉しない。ゆえに、検知電流 I_s を高い信頼性で検知できる。

30 【0013】

このように、選択されていないビット線に動作電位 V_s と同一の動作電位 V_b を印加することにより、又は、選択されていないワード線に動作電位 V_s と同一の動作電位 V_b を印加することにより、検知電流 I_s を高精度で検知することが可能であり、従って、選択されたメモリセルに記憶されているデータを高い信頼性で検知することが可能である。

【0014】

40 上述のMRAMでは、選択されていないワード線（又はビット線）に印加される動作電圧 V_b と、選択されているビット線に印加される動作電圧 V_s とが高精度で一致することが重要である。動作電圧 V_b と動作電圧 V_s との少しの違いは、スニークパス電流 S_1 〜 S_3 が検知電流 I_s に及ぼす影響を顕著に増大させる。特に、製造工程の問題によってメモリセルの一部がショート不良を有する場合には、動作電圧 V_b と動作電圧 V_s との少しの違いは、大きなスニークパス電流を発生させる。

【0015】

50 しかし、動作電圧 V_b と動作電圧 V_s とを完全に一致させるのは、現実的には、実質的に困難である場合が少な

13

くない。動作電圧 V_b と動作電圧 V_s とを完全に一致させることの困難性は、スニークパス電流の影響の抑制の効果を減少させる。

【0016】

スニークパス電流の影響を排除して、MRAMのメモリセルに記憶されているデータを高い信頼性で決定するための他の技術の提供が望まれている。

【0017】

【発明が解決しようとする課題】

本発明の目的は、MRAMのメモリセルに記憶されているデータを高い信頼性で決定するための技術を提供することにある。

【0018】

本発明の他の目的は、スニークパス電流の影響を抑制することにより、MRAMのメモリセルに記憶されているデータを高い信頼性で決定するための技術を提供する。

【0019】

【課題を解決するための手段】

以下に、【発明の実施の形態】で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、【特許請求の範囲】の記載と【発明の実施の形態】の記載との対応関係を明らかにするために付加されている。但し、付加された番号・符号は、

【特許請求の範囲】に記載されている発明の技術的範囲の解釈に用いてはならない。

【0020】

上記の目的を達成するために、本発明によるMRAMは、クロスポイントセルアレイ(1, 1', 41)と、第1方向(x方向)に延設されている複数のワード線(3)と、前記第1方向(x方向)と異なる第2方向(y方向)に延設されている複数のビット線(4)と、前記第2方向(y方向)に延設されているダミービット線(9)と、前記複数のワード線(3)のうちから選択ワード線を選択する第1セクタ(11, 48)と、前記複数のビット線(4)のうちから選択ビット線を選択する第2セクタ(13, 49)と、読み出し回路(16, 42)とを備えている(図1参照)。前記クロスポイントセルアレイ(1, 1', 41)は、反転可能な自発磁化を有し、且つ前記自発磁化の方向に応じて抵抗が異なる磁気抵抗素子(MTJ)を含んで構成されている複数のセル(2, 8, 31, 32, 43, 44)を含む。前記複数のセル(2, 8, 31, 32, 43, 44)は、前記自発磁化の方向に応じてデータを記憶する複数のメモリセル(2, 43)と、複数のダミーセル(8, 44)とを備えている。前記複数のメモリセル(2, 43)のそれぞれは、前記複数のワード線(3)のうちの一のワード線と、前記複数のビット線のうちの一のビット線(4)との間に介設されている。前記ダミーセル(8)のそれぞれは、前記複数のワード線(3)のうちの一のワード線と、前記ダミービット線(9)と

(8)

特開2004-39150

14

の間に介設されている。前記読み出し回路(16, 42)は、オフセット除去回路(17)と、データ判別回路(18~20)とを含む。オフセット除去回路(17)は、前記選択ワード線と前記選択ビット線との間に電圧が印加されることによって前記選択ビット線に流れる検知電流(I_s)と、前記選択ワード線と前記ダミービット線との間に電圧が印加されることによって前記ダミービット線(9)に流れるオフセット成分電流(I_c)との差($I_s - I_c$)に対応する電流差信号を生成する。データ判別回路(18~20)は、前記電流差信号に基づいて、前記選択ワード線と前記選択ビット線との間に介設されている選択セル(2a)に記憶されている記憶データを判別する。

【0021】

オフセット成分電流(I_c)は、検知電流(I_s)に含まれているオフセット成分に近い大きさの電流である。検知電流(I_s)とオフセット成分電流(I_c)との差($I_s - I_c$)は、SN比が高く、差($I_s - I_c$)に対応する電流差信号に応じて選択セル(2a)に記憶されている記憶データを判別することにより、高い信頼性で前記記憶データを判別することが可能である。

【0022】

更に、差($I_s - I_c$)に対応する電流差信号に応じて選択セル(2a)に記憶されている記憶データを判別することは、メモリセル(2)にショートセルが含まれているときに、読み出し不能なメモリセル(2)の数を減少することに有効である。差($I_s - I_c$)に応じて選択セル(2a)に記憶されている記憶データを判別することにより、ショートセルによって増加するオフセット成分がキャンセルされる。ショートセルによって増加するオフセット成分がキャンセルされることにより、ショートセルと同一のワード線に接続されている正常なメモリセル(2)の読み出しは阻害されない。

【0023】

データ判別回路(18~20)は、典型的には、前記電流差信号の電流に対応した出力電圧を出力する電流電圧変換回路(18)と、前記出力電位に基づいて前記メモリセル記憶データを判別する判別回路(19, 20)とを備えて構成されている。

【0024】

上述のMRAMの構成は、前記選択セル(2a)に記憶されている前記記憶データの読み出しのとき、前記第1セクタ(11)が、前記選択ワード線に第1電位(V_1)を印加し、前記複数のワード線(3)のうち前記選択ワード線以外の非選択ワード線を開放し、前記第2セクタ(13)が前記選択ビット線と前記ダミービット線とを前記読み出し回路(16)に接続し、前記記憶データの読み出しのとき、前記読み出し回路(16)は、前記選択ビット線と前記ダミービット線とに前記第1電位(V_1)と異なる第2電位(V_2')を印加する場合

に特に有効である。前記第1セクタ(11)が、非選択ワード線を開放する構成は、前記第1セクタ(11)の回路構成の縮小に有効であるが、検知電流(I_s)に含まれるオフセット成分を増加させる。当該MRAMの構成は、該オフセット成分の影響を効果的に抑制するため、前記第1セクタ(11)が、非選択ワード線を開放する場合に特に好適である。

【0025】

当該磁気ランダムアクセスメモリは、前記複数のビット線(4)のうち前記選択ビット線以外の非選択ビット線を、前記読み出し回路から絶縁され、且つ、前記第2電位(V_2')と実質的に同一な電位(V_2)を有する電位線(15)に接続する第3セクタ(12)を更に備えることが可能である。更に、前記第2セクタ(13)は、前記複数のビット線(4)のうち前記選択ビット線以外の非選択ビット線を開放することが可能である。前者は、スニークパス電流の低減に有効であり、後者は、ビット線(4)を選択するセクタの回路構成の縮小に有効である。

【0026】

当該MRAMは、更に、一の冗長ビット線に接続された複数の冗長メモリセル(53)で構成されている冗長セルカラム(53a)を含む冗長メモリセルアレイ(51)と、置換情報保持器(61)を含む冗長設計処理回路(58, 59, 60)とを備え(図11参照)、前記クロスポイントセルアレイ(41)は、前記複数のビット線にそれぞれ対応する複数のメモリセルカラムを含み、前記メモリセルカラムのそれぞれは、前記複数のメモリセルのうち、それぞれが対応するビット線に接続されているメモリセルで構成される場合がある。この場合、置換情報状態保持器(61)は、前記メモリセルカラムのうち、前記冗長メモリセルカラムに置換される置換対象メモリセルカラム(43a)を示す置換情報を保持し、前記冗長設計処理回路(58, 59, 60)は、前記置換情報にตอบสนองして、前記置換対象メモリセルカラム(43a)を前記冗長メモリセルカラム(53a)に置換することが好ましい。

【0027】

既述のように、検知電流(I_s)とオフセット成分電流(I_c)との差($I_s - I_c$)に基づいて選択セル(2a)に記憶されている記憶データの判別を行うMRAMは、メモリセル(2)にショートセルが含まれていても、ショートセルと同一のワード線に接続されている正常なメモリセル(2)の読み出しは阻害されない。このような特性を生かして前記置換対象メモリセルカラム(43a)を前記冗長メモリセルカラム(53a)に置換することは、冗長設計を簡素化する。

【0028】

当該MRAMが、更に、置換情報保持器(61)を含む冗長設計処理回路(58, 59, 60)を備え、前記複

数のダミーセル(44)は、ダミーセルカラム(46)を構成し、前記クロスポイントセルアレイ(41)は、更に、冗長ダミービット線と、前記冗長ダミービット線と、前記複数のワード線のうちの一のワード線との間に介設された複数の冗長ダミーセル(45)から構成されている冗長ダミーセルカラム(47)とを含む場合がある。この場合、前記置換情報保持器(61)は、前記ダミーセルカラム(46)が前記冗長ダミーセルカラム(47)に置換されるか否かを示す置換情報を保持し、前記冗長設計処理回路(58, 59, 60)は、前記置換情報にตอบสนองして、前記ダミーセルカラム(46)を前記冗長ダミーセルカラム(47)に置換することが好ましい。このような構成は、ショートセルと同一のワード線に接続されている正常なメモリセル(2)の読み出しは阻害されないという特性を生かし、前記ダミーセルカラム(46)の冗長設計を可能にする。

【0029】

当該MRAMが、更に、前記第1方向(x方向)に延設された参照ワード線(33)を備え(図7参照)、前記複数のセル(2, 8, 31, 32, 43, 44)は、更に、前記自発磁化の方向として所定のデータを記憶する複数の参照セル(31)と、データの記憶に使用されない他のダミーセル(32)とを含み、且つ、前記複数の参照セル(31)のそれぞれは、前記複数のビット線(4)のうちの一のビット線と、前記参照ワード線(33)との間に介設され、前記他のダミーセル(32)は、前記ダミービット線(9)と前記参照ワード線(33)との間に介設されている場合がある。この場合、前記オフセット除去回路(18)は、前記選択ビット線と前記参照ワード線(33)との間に電圧($V_2' - V_1$)を印加することによって流れる参照検知電流($I_{s' \cdot '}$)と、前記ダミービット線(9)と前記参照ワード線(33)との間に電圧($V_2' - V_1$)を印加することによって流れる他のオフセット成分電流($I_{c' \cdot '}$)との差に対応する他の電流差信号を生成し、前記データ判別回路(18~20)は、前記電流差信号と前記他の電流差信号に基づいて前記記憶データを判別することが好ましい。このような構成は、選択セル(2a)と同一の選択ビット線に接続されているメモリセル(2)に記憶されているデータが検知電流(I_s)に及ぼす影響をキャンセルし、選択セル(2a)に記憶されている記憶データの判別の信頼性を効果的に向上する。

【0030】

この場合、前記読み出し回路(16)は、典型的には、以下の回路構成を有する。前記読み出し回路(16)の前記オフセット除去回路(17)は、前記検知電流(I_s)と前記オフセット成分電流(I_c)との差に対応した電流を有するように前記電流差信号を生成し、前記参照検知電流($I_{s' \cdot '}$)と前記他のオフセット成分電流($I_{c' \cdot '}$)との差に対応した電流を有するよう

前記他の電流差信号を生成する。前記データ判別回路(18~20)は、前記他の電流差信号の電流に対応する第1出力電位(V_{p1})を出力し、前記電流差信号の電流に対応する第2出力電位(V_{p2})を出力する電流電圧変換回路(18)と、前記第1出力電位(V_{p1})と前記第2出力電位(V_{p2})とに基づいて前記記憶データを判別する判別回路(20)とを備えている。

【0031】

前記データ判別回路(18~20)が、更に、電位保持回路(19)を有する場合、オフセット除去回路(17)、電流電圧変換回路(18)、電位保持回路(19)、及び判別回路(20)は、以下の動作をすることが好適である。第1読み出し動作期間において、前記オフセット除去回路(17)は、前記選択ビット線を流れる前記参照検知電流(I_{srf})と、前記ダミービット線(9)を流れる前記他のオフセット成分電流(I_{cfr})とから前記他の電流差信号を生成し、前記電流電圧変換回路(18)は、前記他の電流差信号を受けて前記第1出力電位(V_{p1})を出力し、前記電位保持回路(19)は、前記第1出力電位(V_{p1})を保持する。前記第1読み出し動作期間に時間的に遅れる第2読み出し動作期間において、前記オフセット除去回路(17)は、前記選択ビット線を流れる前記検知電流(I_s)と、前記ダミービット線(9)を流れる前記オフセット成分電流(I_c)から前記電流差信号を生成し、前記電流電圧変換回路(18)は、前記電流差信号を受けて前記第2出力電位(V_{p2})を出力し、且つ、前記判別回路(20)は、前記電位保持回路によって保持されている第1出力電位(V_{p1})と前記第2出力電位(V_{p2})とを比較して、選択セル(2a)に記憶されている前記記憶データを判別する。

【0032】

前記データ判別回路(18~20)が、更に、電位保持回路(19)を有する場合、オフセット除去回路(17)、電流電圧変換回路(18)、電位保持回路(19)、及び判別回路(20)は、以下の他の動作をすることも好適である。第1読み出し動作期間において、前記オフセット除去回路(17)は、前記選択ビット線を流れる前記検知電流(I_s)と、前記ダミービット線(9)を流れる前記オフセット成分電流(I_c)とから前記電流差信号を生成し、前記電流電圧変換回路(18)は、前記電流差信号を受けて前記第2出力電位(V_{p2})を出力し、前記電位保持回路(19)は、前記第2出力電位(V_{p2})を保持する。前記第1読み出し動作期間に時間的に遅れる第2読み出し動作期間において、前記オフセット除去回路(17)は、前記選択ビット線を流れる前記参照検知電流(I_{srf})と、前記ダミービット線(9)を流れる前記他のオフセット成分電流(I_{cfr})とから前記他の電流差信号を生成し、前記電流電圧変換回路(18)は、前記他の電流差

信号を受けて前記第1出力電位(V_{p1})を出力し、且つ、前記判別回路(20)は、前記第1出力電位(V_{p1})と前記電位保持回路によって保持される第2出力電位(V_{p2})とを比較して前記記憶データを判別する。

【0033】

上記の目的を達成するために、本発明によるMRAMは、クロスポイントセルアレイ(1')と、第1方向(x方向)に延設されている複数のワード線(3)と、前記第1方向(x方向)と異なる第2方向(y方向)に延設されている複数のビット線(4)と、前記第1方向(x方向)に延設されている参照ワード線(33)と、前記複数のワード線(3)のうちから選択ワード線を選択する第1セクタ(11)と、前記複数のビット線(4)のうちから選択ビット線を選択する第2セクタ(12, 13)と、読み出し回路(16)とを備えている(図7参照)。前記クロスポイントセルアレイ(16)は、反転可能な自発磁化を有し、且つ前記自発磁化の方向に応じて抵抗が異なる磁気抵抗素子で形成された複数のセル(2, 31)を含む。前記複数のセル(2, 31)は、前記自発磁化の方向としてデータを記憶する複数のメモリセル(2)と、所定のデータが、前記自発磁化の方向として記憶されている複数の参照セル(31)とを含む。前記複数のメモリセル(2)のそれぞれは、前記複数のワード線(3)のうちの一のワード線と、前記複数のビット線(4)のうちの一のビット線との間に介設されている。前記複数の参照セル(31)のそれぞれは、前記複数のビット線(4)のうちの一のビット線と、前記参照ワード線(33)との間に介設されている。前記読み出し回路(16)は、前記選択ワード線と前記選択ビット線との間に電圧が印加されたときに前記選択ビット線を流れる検知電流(I_s)と、前記参照ワード線(33)と前記選択ビット線との間に電圧が印加されたときに前記選択ビット線に流れる参照検知電流(I_{srf})とに基づいて、前記選択セルに記憶されている記憶データを判別する。このような構成は、選択セル(2a)と同一の選択ビット線に接続されているメモリセル(2)に記憶されているデータが検知電流(I_s)に及ぼす影響をキャンセルし、選択セル(2a)に記憶されている記憶データの判別の信頼性を効果的に向上する。

【0034】

前記読み出し回路(16)が電流電圧変換回路(18)と、電位保持回路(19)と、判別回路(20)とを含む場合、以下の動作が好適である。第1読み出し動作期間において、前記電流電圧変換回路(18)は、前記選択ビット線を流れる前記参照検知電流(I_{srf})にตอบสนองして第1出力電位(V_{p1})を生成し前記電位保持回路(19)は、前記第1出力電位(V_{p1})を保持する。第2読み出し動作期間において、前記電流電圧変換

回路(18)は、前記選択ビット線を通る前記検知電流(I_s)に反応して第2出力電位(V_{p2})を生成し、前記判別回路(20)は、前記電位保持回路(19)によって保持されている前記第1出力電位

(V_{p1})と前記第2出力電位(V_{p2})とを比較して選択セル(2a)に記憶されている前記記憶データを判別する。

【0035】

前記読み出し回路(16)が電流電圧変換回路(18)と、電位保持回路(19)と、判別回路(20)とを含む場合、以下の他の動作も好適である。第1読み出し動作期間において、前記電流電圧変換回路(18)は、前記選択ビット線を通る前記検知電流(I_s)に反応して第2出力電位(V_{p2})を生成し、前記電位保持回路(19)は、前記第2出力電位(V_{p2})を保持する。第2読み出し動作期間において、前記電流電圧変換回路(18)は、前記選択ビット線を通る前記参照検知電流($I_{s'}$)に反応して第1出力電位(V_{p1})を生成し、前記判別回路(20)は、前記第1出力電位(V_{p1})と前記電位保持回路(19)によって保持されている第2出力電位(V_{p2})とを比較して選択セル(2a)に記憶されている前記記憶データを判別する。

【0036】

当該磁気ランダムアクセスメモリは、更に、置換情報保持器(61)を含む冗長設計処理回路(60)を備え、前記複数の参照セル(63)は、参照セルカラムを構成し、前記クロスポイントセルアレイは、一の冗長参照ワード線に接続された複数の冗長参照セル(64)で構成されている冗長参照セルカラムを含む場合がある。この場合、前記置換情報保持器(61)は、前記参照セルカラムが前記冗長参照セルカラムに置換されるか否かを示す置換情報を保持し、前記冗長設計処理回路(60)は、前記置換情報に反応して、前記参照セルカラムを前記冗長参照セルカラムに置換することが好ましい。

【0037】

上述の目的を達成するために、本発明によるMRAMは、反転可能な自発磁化を有し、且つ前記自発磁化の方向に応じて抵抗が異なる磁気抵抗素子で形成された複数のセル(72, 75)と、読み出し回路(83)とを備えている(図14参照)。前記複数のセル(72, 75)は、前記自発磁化の方向として、“1”又は“0”であるメモリセル記憶データを記憶するメモリセル(72)と、所定のデータが記憶された参照セル(75)とを含む。前記読み出し回路(83)は、前記メモリセル(72)からメモリセル電流(I_s)をとりだし、前記参照セルから参照セル電流(I_r)を取り出して、前記メモリセル電流(I_s)と前記参照セル電流(I_r)とに基づいて前記メモリセル記憶データを判別する読み出し動作を複数回繰り返し、前記複数の読み出し動作によって得られた前記複数のメモリセル記憶データの判別結果が

ら、最終的に前記メモリセル記憶データを判別する。前記メモリセル電流(I_s)と前記参照セル電流(I_r)とに基づいて前記メモリセル記憶データを判別する読み出し動作が複数回行われることにより、ノイズ電流の影響が抑制され、前記メモリセル(72)に記憶されている前記メモリセル記憶データを判別の信頼性が効果的に向上する。

【0038】

前記読み出し動作が行われる回数が奇数回であることは、多数決によって前記メモリセル記憶データを判別することを可能にする点で好適である。

【0039】

即ち、前記読み出し回路(83)は、前記読み出し動作において、前記メモリセル記憶データが“1”であると判別された回数が、前記メモリセル記憶データが“0”であると判別された回数を所定回数よりも上回るとき、前記メモリセル記憶データが“1”であると最終的に判別し、前記読み出し動作において前記メモリセル記憶データが“0”であると判別された回数が、前記メモリセル記憶データが“1”であると判別された回数を所定回数よりも上回るとき、前記メモリセル記憶データを最終的に“0”であると判別することが好ましい。該所定回数は、1以上の整数である。

【0040】

前記読み出し回路(83)が、更に、 n ビットのカウンタ(87)を含み、前記読み出し動作が行われる回数が、 $2^n - 1$ 回であり、前記カウンタ(87)が記憶する値は、前記読み出し動作において、前記メモリセル記憶データが“1”であると判別される毎に1だけ増加され、且つ、前記カウンタ(87)は、前記読み出し動作が $2^n - 1$ 回行われた後、その最上位ビットを最終的に判別された前記メモリセル記憶データとして出力することが好適である。このような構成は、前記読み出し回路(83)の回路構成を簡略化する。

【0041】

本発明によるMRAMは、反転可能な自発磁化を有し、且つ前記自発磁化の方向に応じて抵抗が異なる磁気抵抗素子で形成された複数のセル(72, 75)と、読み出し回路(83)とを備えている。(図14参照)。前記複数のセル(72, 75)は、前記自発磁化の方向に対応付けて、“1”又は“0”であるメモリセル記憶データを記憶するメモリセルフリー層を備えたメモリセル(72)と、前記自発磁化の方向に対応付けて、所定のデータを記憶する参照セルフリー層を備えた参照セル(75)とを含む。前記参照セルフリー層と前記メモリセルフリー層とは、面積が異なる。前記読み出し回路(83)は、前記メモリセル(72)からメモリセル電流(I_s)をとりだし、前記参照セル(75)から参照セル電流(I_r)を取り出して、前記メモリセル電流(I_s)と前記参照セル電流(I_r)とに基づいて前記

21

メモリセル記憶データを判別する。前記参照セルフリー層と前記メモリセルフリー層とが面積が異なることにより、読み出し回路(83)を前記メモリセル電流(I_s)と前記参照セル電流(I_r)とに対して対称化することが可能である。読み出し回路(83)の対称化は、前記メモリセル(72)に記憶されているメモリセル記憶データの判別の信頼性の向上を可能にする。

【0042】

前記参照セルフリー層は、前記メモリセルフリー層よりも面積が小さいことが好ましい。前記参照セルフリー層の面積の縮小化は、前記参照セルフリー層が有する自発分極の反転を阻害し、前記参照セル(75)の抵抗を安定化する。これは、前記メモリセル(72)に記憶されているメモリセル記憶データの判別の信頼性の向上を可能にする。

【0043】

前記メモリセルフリー層の前記自発磁化の方向に一致する長さ方向の長さ b_{cell} と、前記メモリセルフリー層の前記自発磁化に垂直な幅方向の幅 a_{cell} と、前記参照セルフリー層の前記長さ方向の長さ b_{ref} と、前記参照セルフリー層の前記幅方向の幅 a_{ref} とは、下記式：

$$a_{ref}/b_{ref} < a_{cell}/b_{cell},$$

を満足することが好ましい。このような構造は、前記参照セルフリー層が有する自発分極の方向を長さ方向に安定化し、前記参照セル(75)の抵抗を安定化する。これは、前記メモリセル(72)に記憶されているメモリセル記憶データの判別の信頼性の向上を可能にする。

【0044】

前記参照セルフリー層の面積は、前記参照セル(72)の抵抗値が、前記メモリセルの抵抗値のうちの大きい方の高抵抗値と、小さい方の低抵抗値との間になるように選ばれる。

【0045】

【発明の実施の形態】

以下、添付図面を参照しながら、本発明によるMRAMの実施の一形態を説明する。

【0046】

(実施の第1形態)

本発明の実施の第1形態のMRAMは、図1に示されているように、クロスポイントセルアレイ1を備えている。クロスポイントセルアレイ1は、複数のメモリセル2と、x方向(ワード線方向)に延設された複数のワード線3と、y方向(ビット線方向)に延設された複数のビット線4とを含む。メモリセル2は、ワード線3とビット線4との交点に配置され、メモリセル2のそれぞれは、該メモリセル2において交差する一のワード線3と一のビット線4との間に介設されている。

【0047】

図2に示されているように、メモリセル2のそれぞれ

22

は、ピン層5と、フリー層6と、ピン層5とフリー層6との間に介設されたトンネル障壁層7とから形成されるMTJ(Magnetic Tunnel Junction)を含む。ピン層5は、ワード線3のうちのーに接続され、フリー層6は、ビット線4のうちのーに接続される。ピン層5とフリー層6とは、いずれも、自発磁化を有する強磁性層を含む。ピン層5が有する自発磁化はx方向に向けて固定される。フリー層6が有する自発磁化は反転可能であり、ピン層5の自発磁化の向きと平行、又は反平行に向くことが許されている。トンネル障壁層7は、ピン層5とフリー層6との間にトンネル電流を流れるような薄い膜厚の絶縁体層で形成される。

【0048】

メモリセル2のそれぞれは、1ビットのデータを、ピン層5とフリー層6との自発磁化の相対的な向きとして記憶する。メモリセル2は、ピン層5の自発磁化とフリー層6の自発磁化とが平行である”平行”状態と、ピン層5の自発磁化とフリー層6の自発磁化とが反平行である”反平行”状態との一方を”0”に、他方を”1”に対応付けることにより、1ビットのデータを記憶する。

【0049】

メモリセル2の抵抗(即ち、メモリセル2が有するMTJの抵抗)は、トンネル磁気抵抗効果(TMR効果)により、ピン層5とフリー層6とが有する自発磁化の相対的な向きに応じて異なる。図2(a)に示されているように、ピン層5とフリー層6とが有する自発磁化の向きが平行である場合、メモリセル2の抵抗は、第1値Rとなる。図2(b)に示されているように、ピン層5とフリー層6とが有する自発磁化の向きが反平行である場合、メモリセル2の抵抗は、第2値 $R + \Delta R$ となる。MR比 $\Delta R/R$ は、典型的なMTJでは、10%~30%である。メモリセル2に記憶されているデータは、メモリセル2の抵抗に基づいて判別される。

【0050】

図1に示されているように、クロスポイントセルアレイ1は、更に、y方向に並んで配置されたダミーセル8と、y方向に延設されたダミービット線9とを含む。ダミーセル8は、ワード線3とダミービット線9との交点に配置され、ダミーセル8のそれぞれは、該ダミーセル8において交差する一のワード線3とダミービット線9との間に介設されている。ダミーセル8の構造は、フリー層6がダミービット線9に接続されている点以外、図2に示されたメモリセル2の構造と同一であり、ダミーセル8は、固定されたピン層と、フリー層と、これらの間に介設されるトンネル障壁層とから形成されるMTJを含む。

【0051】

ダミーセル8は、”1”又は”0”のうちのいずれかのデータが書き込まれる。ダミーセル8は、その状態が一定であることが重要であり、データが書き込まれている

必要は、必ずしもない。ダミーセル8は、メモリセル2に流れる電流のオフセット成分を除去するのに寄与し、読み出し時のSN比を高める効果がある。ダミーセル8の役割の詳細は、後述される。

【0052】

クロスポイントセルアレイ1は、更に、Xセクタ11、第1Yセクタ12、及び第2Yセクタ13を含む。Xセクタ11は、ワード線3に接続され、ワード線3のうちから選択ワード線を選択する。第1Yセクタ12、及び第2Yセクタ13は、ビット線4に接続され、ビット線4のうちから選択ビット線を選択する。メモリセル2のうちの選択ワード線と選択ビット線とに接続されているメモリセルが、選択セル2aとして選択される。更に、ダミーセル8のうちの選択ワード線に接続されているダミーセルが、選択ダミーセル8aとして選択される。後述されるように、選択ダミーセル8aは、選択セル2aに流れる電流のオフセット成分を除去するのに使用される。

【0053】

より詳細には、Xセクタ11は、ワード線3のうちの選択ワード線を、電位 V_1 を有する第1電源線14に接続し、選択されない非選択ワード線を、第1電源線14から切り離す。選択ワード線には、電位 V_1 が供給される。非選択ワード線は、Xセクタ11により、フローティング状態（ハイインピーダンス（ H_i-Z ）状態）にされる。第1Yセクタ12は、選択されない非選択ビット線を、電位 V_2 を有する第2電源線15に接続し、選択された選択ビット線とダミービット線9とを第2電源線15から切り離す。非選択ビット線には、電位 V_2 が供給される。第2Yセクタ13は、選択ビット線とダミービット線9とを読み出し回路16に接続し、非選択ビット線を読み出し回路16から切り離す。

【0054】

選択セル2aに記憶されている記憶データの判別は、読み出し回路16によって行われる。読み出し回路16は、選択セル2aに記憶されている記憶データを判別するとき、選択ビット線とダミービット線9とに、第2電源線15の電位 V_2 に実質的に同一である電位 V_2' を供給する。選択ビット線への電位 V_2' の印加により、選択ビット線と選択ワード線との間には、電圧 $V_2' - V_1$ が印加され、選択ビット線には電流 I_s が流れる。更に、ダミービット線9への電位 V_2' の印加により、ダミービット線9と選択ワード線との間には、電圧 $V_2' - V_1$ が印加され、ダミービット線9には電流 I_c が流れる。非選択ビット線に印加される電位 V_2 と、選択ビット線及びダミービット線9に印加される電位 V_2' とが実質的に一致されることにより、クロスポイントセルアレイ1を流れるスニークパス電流が減少されている。読み出し回路16は、選択ビット線を流れる電流 I_s とダミービット線9を流れる電流 I_c との差 $I_s -$

I_c に基づいて選択セル2aに記憶されている記憶データを判別する。

【0055】

選択セル2aに記憶されている記憶データの判別に使用される電流 I_s と、電流 I_c とは、以下に述べられるような成分を有する電流である。選択セル2aの抵抗は、選択セル2aが記憶しているデータに応じて変化するから、選択ビット線を流れる電流 I_s は、選択セル2aに記憶されているデータに対応して変化するデータ対応成分を含んでいる。データ対応成分を含む電流 I_s は、以後、検知電流 I_s と記載される。

【0056】

検知電流 I_s は、データ対応成分に加え、選択セル2aに記憶されているデータに対応した電流成分でないオフセット成分を含む。オフセット成分は、主として、スニークパス電流に起因する電流成分と、選択セル2aが有し得る2つの抵抗値 R 及び $R + \Delta R$ のうち、選択セル2aに記憶されているデータに依存しない抵抗成分 R に起因して流れる電流成分とから構成される。

【0057】

クロスポイントセルアレイ1は、スニークパス電流が通る経路を多数有しているため、このオフセット成分は、実際には、データ対応成分よりも極めて大きい。典型的には、オフセット成分は約 $30 \mu A$ であり、選択セル2aに記憶されているデータに対応した電流成分は、約 $1 \mu A$ である。したがって、検知電流 I_s 自体のSN比は、それほど大きな値ではない。

【0058】

一方、ダミービット線9を流れる電流 I_c は、検知電流 I_s に含まれるオフセット成分に近い大きさを有する。あるビット線4（又はダミービット線9）を流れる電流のうち、スニークパス電流に起因する電流成分の大きさは、主としてクロスポイントセルアレイ1の構造に依存し、ビット線4（又はダミービット線9）の位置に対する依存性は少ない。したがって、電流 I_c に含まれる電流のうちのスニークパス電流に起因する電流成分とは、概ね一致する。更に、選択ダミーセル8aは、選択セル2aと同一の構造を有するから、電流 I_c は、検知電流 I_s と同様に、自発磁化の方向に依存しない抵抗成分 R に起因して流れる電流成分を含む。電流 I_c は、更に、選択ダミーセル8aの自発磁化の方向に対応した状態に対応したダミーセルデータ対応成分を含むが、このダミーセルデータ対応成分は、固定である上に、オフセット成分に比較すると極めて小さいため無視できる。従って、電流 I_c は、検知電流 I_s に含まれるオフセット成分に近い大きさを有する。このような電流 I_c は、以後、オフセット成分電流 I_c と呼ばれる。

【0059】

25

検知電流 I_s とオフセット成分電流 I_c との差 $I_s - I_c$ は、検知電流 I_s からオフセット成分を除いた値に近く、即ち、選択セル 2 a に記憶されているデータに対応したデータ対応成分に概ね一致する。従って、差 $I_s - I_c$ は、SN比が大きい。SN比が大きい差 $I_s - I_c$ に基づいて選択セルに記憶されているデータを判別することは、該データの判別の信頼性を向上することを可能にする。更に、スニークパス電流に起因する成分は、既述のオフセット成分として除去されるから、スニークパス電流による成分は、電流 $I_s - I_c$ から除去されている。このような電流 $I_s - I_c$ に基づいて選択セル 2 a に記憶されているデータを判別することにより、スニークパス電流による影響を抑制して該データを判別することが可能である。

【0060】

このような読み出し回路 16 は、典型的には、減算回路 17 と、I-V変換回路 18 と、電圧保持回路 19 と、比較器 20 とにより実現される。減算回路 17 は、第 2 Yセクタ 14 を介して、選択ビット線及びダミービット線 9 に接続される。減算回路 17 は、選択ビット線を流れる検知電流 I_s から、ダミービット線 9 を流れるオフセット成分電流 I_c を減じた電流 $I_s - I_c$ を生成する。

【0061】

図 3 は、典型的な減算回路 17 を示している。減算回路 17 は、NMOS トランジスタ 21、22、PMOS トランジスタ 23、24 を含む。NMOS トランジスタ 21 のソースは、選択ビット線に接続され、NMOS トランジスタ 22 のソースは、ダミービット線 9 に接続される。NMOS トランジスタ 21、22 のゲートには、電位 V_{b1} が供給される。電位 V_{b1} を適切に制御することにより、NMOS トランジスタ 21、22 のソースの電位は、電位 V_2' に維持され、従って、選択ビット線とダミービット線 9 とが、電位 V_2' に維持される。NMOS トランジスタ 21 のドレインは、PMOS トランジスタ 23 のドレインに接続され、NMOS トランジスタ 22 のドレインは、PMOS トランジスタ 24 のドレインに接続されている。PMOS トランジスタ 23、24 のソースは、それぞれ、電源電位 V_{cc} を有する電源端子 25、26 に接続されている。PMOS トランジスタ 23 のドレインは、PMOS トランジスタ 23、24 のゲートに接続されている。PMOS トランジスタ 24 のドレインと NMOS トランジスタ 22 のドレインとを結ぶ信号線には、出力ノード 27 が設けられ、出力ノード 27 は、I-V変換回路 18 に接続される。

【0062】

減算回路 17 の電源端子 25 から NMOS トランジスタ 21 と PMOS トランジスタ 23 とを介して、選択ビット線に検知電流 I_s が流れると、PMOS トランジスタ 23 には、電源端子 26 から検知電流 I_s と同一の大き

26

さの電流が流れ、出力ノード 27 には、検知電流 I_s と同一の大きさの電流が流れ込む。一方、出力ノード 27 から、NMOS トランジスタ 21 を介して、ダミービット線 9 に流れるオフセット成分電流 I_c が引き出され、I-V変換回路 18 には、出力ノード 27 を介して、検知電流 I_s とオフセット成分電流 I_c との差に対応する電流 $I_s - I_c$ が供給される。

【0063】

I-V変換回路 18 は、減算回路 17 が出力する電流 $I_s - I_c$ を電圧に変換して出力する電圧増幅器である。I-V変換回路 18 が出力する電圧は、選択セル 2 a の抵抗、即ち、選択セル 2 a に記憶されている記憶データに応じて変化する。

【0064】

既述の通り、電流 $I_s - I_c$ は、検知電流 I_s からオフセット成分を除いた電流に対応するが、検知電流 I_s からのオフセット成分の除去は、I-V変換回路 18 のゲインの増大を可能にする。I-V変換回路 18 が出力する最大電圧には制限があるから、オフセット電流成分を除かずに検知電流 I_s を電圧に変換しようとする場合、I-V変換回路 18 のゲインは、比較的小さい値に制限される。これは、I-V変換回路 18 が出力する電圧が選択セル 2 a に記憶されているデータに対応して変化する変化幅を大きくすることが出来ないことを意味する。検知電流 I_s からオフセット成分を除去することにより、I-V変換回路 18 のゲインの増大が可能であり、従って、I-V変換回路 18 が出力する電圧が選択セル 2 a に記憶されているデータに対応して変化する変化幅を大きくすることが可能である。

【0065】

I-V変換回路 18 の出力は、電圧保持回路 19 と比較器 20 との inputs に接続される。電圧保持回路 19 は、I-V変換回路 18 が出力する電圧を取り込んで保持し、保持している電圧を出力する機能を有する。電圧保持回路 19 は、十分に大きな大きさの容量素子（図示されない）を含み、該容量素子に、I-V変換回路 18 が出力する電圧を取り込んで保持する。比較器 20 は、I-V変換回路 18 の出力と、電圧保持回路 19 の出力とに接続される。比較器 20 は、I-V変換回路 18 が出力する電圧と、電圧保持回路 19 が出力する電圧とを比較して、選択セル 2 a に記憶されている記憶データを判別する。I-V変換回路 18 が出力する電圧が選択セル 2 a に記憶されているデータに回答して大きく変化することは、該記憶データを判別する信頼性を向上する。比較器 20 は、選択セル 2 a に記憶されているデータに対応したデータ信号 SAOUT を生成する。

【0066】

実施の第 1 形態の MRAM の読み出し動作には、自己リファレンス方式が採用されている。図 4 は、実施の第 1 形態の MRAM の読み出し動作を示すフローチャートで

ある。

【0067】

(ステップS01)

選択セル2aに対する読み出し動作が行われる。該読み出し動作は、以下の過程により行われる。Xセクタ11により選択ワード線が選択され、第1Yセクタ12及び第2Yセクタ13により選択ビット線が選択される。続いて、選択ワード線に電位 V_1 が供給され、選択ビット線とダミービット線9とに電位 V_2' が供給される。これにより、選択セル2a及び選択ダミーセル8aに電圧 $V_2' - V_1$ が印加され、選択ビット線に検知電流 I_s が、ダミービット線9にオフセット成分電流 I_c が流される。減算回路17により、検知電流 I_s からオフセット成分電流 I_c を減じた電流 $I_s - I_c$ が生成され、 $I - V$ 変換回路18により電流 $I_s - I_c$ が電圧に変換され、電流 $I_s - I_c$ に対応した第1読み出し電圧 V_{p1} が生成される。第1読み出し電圧 V_{p1} は、選択セル2aに記憶されている記憶データに対応した大きさを有する。第1読み出し電圧 V_{p1} は、電圧保持回路19に入力され、電圧保持回路19は、第1読み出し電圧 V_{p1} を取り込んで保持する。電圧第1読み出し電圧 V_{p1} を取り込んだ後、電圧保持回路19は、 $I - V$ 変換回路18から切り離される。

【0068】

(ステップS02)

選択セル2aに"0"が書き込まれる。選択ワード線及び選択ビット線とのそれぞれに書き込み電流が供給され、該書き込み電流が発生する磁界により、選択セル2aが有する自発磁化が"0"に対応する状態に向けられる。

【0069】

(ステップS03)

選択セル2aに対する読み出し動作が再度行われる。ステップS01と同様にして、選択ビット線に検知電流 I_s が、ダミービット線9にオフセット成分電流 I_c が流される。 $I - V$ 変換回路18により電流 $I_s - I_c$ が電圧に変換され、電流 $I_s - I_c$ に対応した第2読み出し電圧 V_{p2} が生成される。第2読み出し電圧 V_{p2} は、選択セル2aに記憶されているデータ"0"に対応した大きさを有する。第2読み出し電圧 V_{p2} は、後述されるように、リファレンス電圧として使用される。

【0070】

(ステップS04)

比較器20により、選択セル2aに記憶されていた記憶データ(即ち、選択セル2aに"0"が書き込まれる前に書き込まれていたデータ)の判別が行われ、該記憶データを示すデータ信号SAOUTが生成される。記憶データの判別は、以下のようにして行われる。電圧保持回路19によって保持されている第1読み出し電圧 V_{p1} と、 $I - V$ 変換回路18によって生成された第2読み出し電

圧 V_{p2} とが、比較器20に入力され、比較器20が活性化される。比較器20が活性化されると、比較器20は、第1読み出し電圧 V_{p1} と第2読み出し電圧 V_{p2} とを比較して、選択セル2aに書き込まれていたデータを判別する。第1読み出し電圧 V_{p1} と第2読み出し電圧 V_{p2} とが概ね一致する場合、比較器20は、選択セル2aに記憶されていた記憶データを"0"であると判別し、データ信号SAOUTを"0"にして出力する。第1読み出し電圧 V_{p1} と第2読み出し電圧 V_{p2} とが大きく離れている場合、比較器20は、選択セル2aに記憶されていた記憶データを"1"であると判別し、データ信号SAOUTを"1"にして出力する。

【0071】

(ステップS05)

ステップS04において、選択セル2aに記憶されていた記憶データが"1"であると判断された場合、選択セル2aに対して"1"を書き込む再書き込みが行われる。既述のとおり、記憶データの判別の過程で、選択セル2aには"0"が書き込まれるから、再書き込みにより選択セル2aは、正しいデータを保持する状態に戻される。再書き込みにより、実施の第1形態のMRAMの読み出し動作が完了する。

【0072】

以上に説明されているように、実施の第1形態のMRAMでは、ダミーセル8を用いてオフセット成分電流 I_c が生成される。更に、選択ビット線を通る検知電流 I_s と、オフセット成分電流 I_c との差に対応する電流 $I_s - I_c$ が生成され、電流 $I_s - I_c$ に基づいて、選択セル2aに記憶されている記憶データの判別が行われる。電流 $I_s - I_c$ は、検知電流 I_s からオフセット成分が除去された電流に相当し、電流 $I_s - I_c$ のSN比は大きい。SN比が大きい電流 $I_s - I_c$ に基づいてデータの判別が行われることにより、データの判別の信頼性が高められている。

【0073】

除去されるオフセット成分には、スニークパス電流に起因する成分が含まれるから、スニークパス電流に起因する成分は、電流 $I_s - I_c$ から除去されている。従って、電流 $I_s - I_c$ に基づいて、選択セル2aに記憶されている記憶データの判別を行うことにより、記憶データの判別に対するスニークパス電流の影響を効果的に抑制することができる。

【0074】

更に、検知電流 I_s からオフセット成分を除去することは、 $I - V$ 変換回路18のゲインを増加することを可能にする。 $I - V$ 変換回路18のゲインの増加は、 $I - V$ 変換回路18が生成する第1読み出し電圧 V_{p1} の、選択セル2aに記憶されているデータに対応して変化する変化幅を大きくし、データの判別の信頼性を一層効果的に増加させる。

[0075]

電流 $I_s - I_c$ に基づいて選択セル 2 a に記憶されている記憶データを判別することは、クロスポイントセルアレイ 1 の製造バラツキに対する許容性を高くする点でも好ましい。本実施の形態の MRAM を多数製造した場合、クロスポイントセルアレイ 1 の製造バラツキに起因して、検知電流 I_s に含まれるオフセット成分は、製造された MRAM 毎に異なる。しかし、一の MRAM では、オフセット成分の変動は、検知電流 I_s とオフセット成分電流 I_c とで共通である。従って、クロスポイントセルアレイ 1 の製造バラツキは、電流 $I_s - I_c$ には反映されにくく、電流 $I_s - I_c$ は安定化される。安定化された電流 $I_s - I_c$ に基づいて選択セル 2 a に記憶されている記憶データを判別することは、記憶データの判別の信頼性を向上する。このように、本実施の形態の MRAM は、クロスポイントセルアレイ 1 の製造バラツキに対する許容性が高い。

[0076]

更に、上述のMRAMは、ショート不良を有するメモリセル（以下、「ショートセル」という。）が存在する場合に、該ショートセルの存在によって読み出し不能になるメモリセルの数を減少することができる。図5（a）に示されているように、従来のMRAMでは、メモリセルセルアレイにショートセル28'が存在する場合、ショートセル28'と同一のワード線に接続されているメモリセルと、ショートセル28'と同一のビット線に接続されているメモリセルとは、いずれも、読み出し不能である。ショートセル28'が存在すると、ショートセル28'を流れるスニークパス電流は著しく大きくなる。このスニークパス電流により、データを判別する回路にその入力レンジを超える電流が流れ、このためにデータを判別する回路の機能が失われる。

[0077]

本実施の形態のMRAMでは、図5(b)に示されているように、ショートセル28がクロスポイントセルアレイ1に存在しても、ショートセル28と同一のワード線に接続されているメモリセル2の読み出しは可能である(但し、ショートセル28と同一のビット線に接続されているメモリセル2は、読み出し不能である)。これは、検知電流 I_s とオフセット成分電流 I_c とは、ショートセル28の存在によって増加するオフセット成分を共通に含み、該オフセット成分は、減算回路17によって除去されるからである。本実施の形態のMRAMでは、ショートセル28の存在によって読み出し不能になるメモリセルは、ショートセル28と同一のビット線に接続されているメモリセルのみであり、読み出し不能になるメモリセルの数が減少されている。

[0 0 7 8]

このように、ショートセル28と同一のワード線に接続されているメモリセルの読み出しが可能であることは、

不良メモリセルを救済するための冗長設計を容易にする。本実施の形態のMRAMでは、ショートセル28が存在する場合、ショートセル28を含む不良カラムを冗長カラムに置換することにより、不良カラムの救済が可能である。

【0079】

実施の第1形態において、図6に示されているように、図1に示されているMRAMから、第1Yセクタ12と第2電源線15とが除去されることが可能である。この場合、非選択ビット線は、電位 V_2 に固定されるのではなく、フローティング状態にされる。第1Yセクタ12と第2電源線15とが除去されることは、MRAMが形成されるチップの面積を減少できる点で好適である。

【0080】

その一方で、第1 Yセクタ12と第2電源線15とを除去することは、クロスポイントセル1を流れるスニークパス電流を増加させるが、スニークパス電流の増加は、許容される。既述のように、第1 Yセクタ12と第2電源線15とを除去すると、非選択ビット線がフローティング状態になるため、スニークパス電流が増加する。しかし、実施の第1形態のMRAMは、検知電流 I_s とオフセット成分電流 I_c との差に基づいて選択セル2aのデータを検知するため、読み出し動作に対するスニークパス電流の影響は小さい。従って、スニークパス電流の増加は読み出し動作を阻害しない。

[0 0 8 1]

(実施の第 2 形態)

図7は、実施の第2形態のMRAMを示す。実施の第2形態では、図1のクロスポイントセルアレイ1に、x方向（ワード線方向）に並んで配置された参照セル31と、参照用ダミーセル32と、x方向（ワード線方向）に延設された参照ワード線33とが追加される。参照セル31と参照用ダミーセル32と参照ワード線33とが追加されたクロスポイントセルアレイ1は、以下、クロスポイントセルアレイ1'と記載される。

[0 0 8 2]

参照セル３１と参照用ダミーセル３２とは、いずれも、メモリセル２と同一の構造を有する。参照セル３１と参照用ダミーセル３２とは、ピン層と、フリー層と、該ピン層と該フリー層との間に介設されたトンネル障壁層とから形成されるＭＴＪを含んで構成されている。

【0083】

参照セル 31 には、所定のデータ、典型的には“0”が記憶され、読み出し動作時のデータの判別に使用される。但し、参照セル 31 の役割は、ダミーセル 8 の役割と異なる。上述されているように、ダミーセル 8 は、検知電流 I_s からオフセット成分を除去するために使用されるオフセット成分電流 I_c の生成に使用される。一方、参照セル 31 は、リファレンス電圧の生成に使用さ

31

れる。参照セル31を用いて生成されるリファレンス電圧と、メモリセル2に記憶されている記憶データに応じて生成される読み出し電圧との対比により、該記憶データが判別される。本明細書では、その役割の違いから、“参照セル”と“ダミーセル”とが使い分けられていることに注意されたい。

【0084】

参照セル31は、ビット線4と同じ数だけ用意される。参照セル31は、ビット線4と参照ワード線33とが交差する位置に配置され、参照セル31のそれぞれは、一のビット線4と参照ワード線33との間に介設される。

【0085】

一方、参照用ダミーセル32は、参照ワード線33とダミービット線9とが交差する位置に配置され、参照ワード線33とダミービット線9との間に介設される。参照ワード線33は、Xセクタ11に接続される。

【0086】

図8は、実施の第2形態のMRAMの読み出し動作を示すフローチャートである。

【0087】

(ステップS11)

参照セル31のうちから、選択セル2aと同一のビット線(選択ビット線)上にある選択参照セル31aが選択され、選択参照セル31aからデータが読み出される。選択参照セル31aからのデータの読み出しは、以下の過程で行われる。

【0088】

選択ビット線とダミービット線9とが、第2Yセクタ13によって読み出し回路16に接続され、非選択ビット線が、第1Yセクタ12によって、第2電源線15に接続される。これにより、非選択ビット線には、電位 V_2 が供給され、選択ビット線とダミービット線9とには、電位 V_2 と実質的に同一な電位 V_2' が供給される。選択ビット線とダミービット線9とは、非選択ビット線から電気的に切り離される。

【0089】

更に、参照ワード線33がXセクタ11によって第1電源線14に接続され、図9(a)に示されているように、参照ワード線33に電位 V_1 が供給される。ワード線4は、いずれも第1電源線14から切り離され、フローティング状態(Hi-Z状態)にされる。

【0090】

電位 V_2' と電位 V_1 との供給により、選択参照セル31a及び参照用ダミーセル33には、電圧 $V_2' - V_1$ が印加される。電圧 $V_2' - V_1$ の印加により、図7に示されているように、選択ビット線には電流 $I_{s'}$ が流れ、ダミービット線9には電流 $I_{c'}$ が流れる。実施の第1形態でなされた電流 I_s と電流 I_c との議論は、電流 $I_{s'}$ と電流 $I_{c'}$ とについても成立する。電流 $I_{s'}$ は、選択参照セル3

(17)

特開2004-39150

32

1aの自発分極の状態、即ち、選択参照セル31aに記憶されているデータに依存するデータ依存成分を含む電流であり、以下では、電流 $I_{s'}$ は、参照検知電流 $I_{s'}$ と記載される。電流 $I_{c'}$ は、参照検知電流 $I_{s'}$ のうち、選択参照セル31aに記憶されているデータに依存しないオフセット成分に相当する大きさを有しており、以下では、オフセット成分電流 $I_{c'}$ と記載される。

【0091】

10 減算回路17により、検知電流 $I_{s'}$ からオフセット成分電流 $I_{c'}$ を減じた電流 $I_{s'}$ - $I_{c'}$ が生成され、I-V変換回路18により電流 $I_{s'}$ - $I_{c'}$ が電圧に変換され、電流 $I_{s'}$ - $I_{c'}$ に対応した第1読み出し電圧 V_{p1} が生成される。後述されるように、第1読み出し電圧 V_{p1} は、選択セル2aのデータを判別するためのリファレンス電圧として使用される。このため、以下では、第1読み出し電圧 V_{p1} は、リファレンス電圧 V_{p1} と記載される。

20 【0092】

(ステップS12)

リファレンス電圧 V_{p1} が、電圧保持回路19に入力される。電圧保持回路19は、リファレンス電圧 V_{p1} を取り込んで保持する。リファレンス電圧 V_{p1} を取り込んだ後、電圧保持回路19は、I-V変換回路18から切り離される。

【0093】

(ステップS13)

30 選択セル2aに対する読み出し動作が行われる。該読み出し動作は、以下の過程で行われる。Xセクタ11により選択ワード線が選択され、第1Yセクタ12及び第2Yセクタ13により選択ビット線が選択される。図9(b)に示されているように、選択ワード線には電位 V_1 が供給され、選択ビット線とダミービット線9とに電位 V_2' が供給される。これにより、選択セル2a及び選択ダミーセル8aに電圧 $V_2' - V_1$ が印加され、図7に示されているように、選択ビット線に検知電流 I_s が、ダミービット線9にオフセット成分電流 I_c が流される。減算回路17により、検知電流 I_s からオフセット成分電流 I_c を減じた電流 $I_s - I_c$ が生成され、I-V変換回路18により電流 $I_s - I_c$ が電圧に変換され、電流 $I_s - I_c$ に対応した第2読み出し電圧 V_{p2} が生成される。

【0094】

I-V変換回路18は、第2読み出し電圧 V_{p2} を生成するとき、リファレンス電圧 V_{p1} (第1読み出し電圧 V_{p1})を生成するときで、そのゲインを変更する。ゲインの変更は、下記式：

$$V_{p2}(0) < V_{p1} < V_{p2}(1), \quad \dots (1)$$

50 が成立するように行われる。ここで、 $V_{p2}(0)$ は、

選択セル2aに"0"が記憶されているときにI-V変換回路18が出力する第2読み出し電圧 V_{p2} であり、 V_{p2} (1)は、選択セル2aに"1"が記憶されているときにI-V変換回路18が出力する第2読み出し電圧 V_{p2} である。

【0095】

(ステップS14)

比較器20により、選択セル2aに記憶されている記憶データが判別され、記憶データを示すデータ信号SAOUTが生成される。記憶データの判別は、以下のようにして行われる。電圧保持回路19によって保持されているリファレンス電圧 V_{p1} と、I-V変換回路18によって生成された第2読み出し電圧 V_{p2} とが、比較器20に入力され、比較器20が活性化される。比較器20が活性化されると、比較器20は、リファレンス電圧 V_{p1} と第2読み出し電圧 V_{p2} とを比較して、選択セル2aに書き込まれていたデータを判別する。リファレンス電圧 V_{p1} が第2読み出し電圧 V_{p2} より大きいとき、比較器20は、選択セル2aに記憶されていた記憶データを"0"であると判別し、データ信号SAOUTを"0"にして出力する。リファレンス電圧 V_{p1} が第2読み出し電圧 V_{p2} より小さいとき、比較器20は、選択セル2aに記憶されていた記憶データを"1"であると判別し、データ信号SAOUTを"1"にして出力する。データ信号SAOUTの生成により、実施の第2形態のMRAMの読み出し動作が完了する。

【0096】

以上に説明された実施の第2形態のMRAMは、実施の第1形態のMRAMと同様の利点を有している。電流 I_{s-Ic} に基づいて選択セル2aに記憶されている記憶データを判別することにより、SN比が増大され、記憶データの判別に対するスニークパス電流の影響が抑制されている。更に、電流 I_{s-Ic} に基づいて選択セル2aに記憶されている記憶データを判別することにより、当該クロスポイントセルアレイ1の製造バラツキに対する許容性が高められている。更に、実施の第2形態のMRAMは、ショート不良を有する不良メモリセルが存在する場合でも、不良メモリセルと同一のワード線に接続されているメモリセルの読み出しが可能であり、該不良メモリセルの存在によって読み出し不能になるメモリセルの数が減少されている。

【0097】

更に、実施の第2形態のMRAMは、以下に述べられているような他の利点を有している。第1に、参照セル31が選択セル2aに記憶されている記憶データの判別に使用されることにより、自己リファレンス方式を使用しない読み出し動作の採用が可能である。これは、メモリセル2に記憶されているデータの非破壊読み出しを可能にする点で好ましい。

【0098】

第2に、選択セル2aと同一のビット線に接続されている選択参照セル31aが選択セル2aに記憶されている記憶データの判別に使用されることにより、記憶データの判別の信頼性が一層に向上されている。上述されているように、実施の第2形態では、非選択ワード線は、フローティング状態(Hi-Z状態)にされる。非選択ワード線をフローティング状態に設定することは、選択ビット線に接続されている非選択メモリセルを介して流れるスニークパス電流を増大させる。このスニークパス電流の大きさは、選択ビット線に接続されている非選択メモリセルのそれぞれに記憶されているデータに応じて変化する。より詳細には、選択ビット線に接続されている非選択メモリセルのうちの"0"を記憶するセルの数と、"1"を記憶するセルの数との比に応じて、このスニークパス電流の大きさは変化する。

【0099】

選択セル2aと同一のビット線に接続されている選択参照セル31aを、選択セル2aに記憶されている記憶データの判別に使用することにより、選択ビット線に接続されている非選択メモリセルを介して流れるスニークパス電流の大きさの変化による影響はキャンセルされている。選択参照セル31aに対して読み出し動作が行われたときに選択ビット線を流れる参照検知電流 $I_{s' \cdot I}$ が、該スニークパス電流から受ける影響は、選択セル2aに対して読み出し動作が行われたときに選択ビット線を流れる参照検知電流 I_s が、該スニークパス電流から受ける影響と、実質的に同一である。従って、該スニークパス電流の変化の影響はキャンセルされ、選択セル2aに記憶されている記憶データの判別の信頼性の劣化は生じない。

【0100】

上述の実施の第2形態では、選択参照セル31aに対して読み出し動作が行われた後、選択セル2aに対して読み出し動作が行われるが、選択セル2aに対して読み出し動作が行われた後、選択参照セル31aに対して読み出し動作が行われることが可能である。この場合、電流 I_{s-Ic} から生成される第2読み出し V_{p2} が電圧保持回路19に保持される。更に、電流 $I_{s' \cdot I-Ic}$ からリファレンス電圧 V_{p1} が生成され、電圧保持回路19に保持される第2読み出し V_{p2} と、リファレンス電圧 V_{p1} とが比較されて、データ信号SAOUTが生成される。

【0101】

また、実施の第2形態において、図10に示されているように、図7に示されているMRAMから、第1Yセクタ12と第2電源線15とが除去されることが可能である。この場合、非選択ビット線は、電位 V_2 に固定されるのではなく、フローティング状態にされる。第1Yセクタ12と第2電源線15とが除去されることは、MRAMが形成されるチップの面積を減少できる点で好

適である。実施の第1形態において説明されているように、非選択ビット線がフローティング状態にされることによるスニークパス電流の増加の影響は、検知電流 I_s からオフセット成分が除かれることにより効果的にキャンセルされる。

【0102】

(実施の第3形態)

上述されているように、図1、図6、図7、及び図10に示されているMRAMは、ショートセルがクロスポイントセルアレイ1（又は1'）に存在することによってショートセルと同一のビット線に接続されているメモリセル2の読み出しは不能になるが、ショートセルの存在は、ショートセルと同一のワード線に接続されているメモリセル2の読み出しに影響を与えない。このような特性は、ショートセルを含む一列のメモリセルで構成される不良セルカラムを、一列の冗長メモリセルで構成される冗長セルカラムで置換する冗長設計を可能にする。実施の第3形態のMRAMには、冗長設計が採用される。

【0103】

図11は、実施の第3形態のMRAMを示す。実施の第3形態のMRAMは、行列をなして配列されている複数のクロスポイントセルアレイ41と読み出し回路42とを備えている。1列のクロスポイントセルアレイ41に対して、一の読み出し回路42が設けられている。読み出し回路42は、それぞれ、実施の第1形態の読み出し回路16と同一の構成を有しており、選択セルのデータを判別するために使用される。

【0104】

クロスポイントセルアレイ41のそれぞれは、行列をなして配置されたメモリセル43、複数のワード線、及び複数のビット線を備えている。但し、図を見やすくするために、ワード線、ビット線とは図示されず、メモリセル43は、概念的に正方形で示されている。メモリセル43は、ワード線とビット線とが交差する位置に設けられている。メモリセル43は、図2に示されているメモリセル2と同一の構成を有し、ピン層と、フリー層と、該ピン層と該フリー層との間に介設されたトンネル障壁層とから形成されるMTJを含む。y方向に並ぶ一列のメモリセル43は、同一のビット線に接続されており、一のビット線に接続されているメモリセル43により、一のメモリセルカラムが構成されている。

【0105】

クロスポイントセルアレイ41は、更に、y方向（ビット線）方向に一列に並んで配置されているダミーセル44から構成されるダミーセルカラム46と、y方向（ビット線）方向に一列に並んで配置されている冗長ダミーセル45から構成される冗長ダミーセルカラム47とを備えている。全てのダミーセル44は、y方向に延設されたダミービット線（図示されない）に接続され、全ての冗長ダミーセル45は、y方向に延設された冗長ダミ

ービット線（図示されない）に接続されている。ダミーセルカラム46と冗長ダミーセルカラム47とは、いずれも、クロスポイントセルアレイ41の端ではなく、中間に配置されている。即ち、ダミーセルカラム46と冗長ダミーセルカラム47とは、いずれも、メモリセルカラムの間に挿入されている。

【0106】

実施の第1形態及び第2形態と同様に、ダミーセルカラム46に含まれるダミーセル44は、選択ビット線を通る検知電流 I_s からオフセット成分を除去するために使用されるオフセット成分電流 I_c を生成するために使用される。実施の第1形態及び第2形態と同様に、検知電流 I_s からオフセット成分電流 I_c を減じた電流に相当する電流 $I_s - I_c$ が生成され、電流 $I_s - I_c$ に基づいて、選択セルに記憶されているデータの判別が行われる。

【0107】

冗長ダミーセルカラム47は、ダミーセルカラム46が不良セル（典型的には、ショートセル）を含む不良ダミーセルカラムであるときに、ダミーセルカラム46を置換するために用意されている。ダミーセルカラム46が不良セルを含む場合、ダミーセルカラム46は、その機能を発揮しない。このような場合に、ダミーセルカラム46の代わりに冗長ダミーセルカラム47が使用され、冗長ダミーセルカラム47に含まれる冗長ダミーセル45を用いて、オフセット成分電流 I_c が生成される。

【0108】

クロスポイントセルアレイ41のそれぞれに冗長ダミーセルカラム47が用意されているのは、ダミーセルカラム46が不良セルを含む場合でも、クロスポイントセルアレイ41に含まれるメモリセル43の読み出しを可能にするためである。冗長ダミーセルカラム47がない場合に、ある一のクロスポイントセルアレイ41のダミーセルカラム46が不良セルを含むと、該一のクロスポイントセルアレイ41に含まれる全てのメモリセル43は読み出し不能になる。なぜなら、該一のクロスポイントセルアレイ41に含まれる全てのメモリセル43の読み出しに、ダミーセルカラム46が使用されるからである。クロスポイントセルアレイ41のそれぞれに冗長ダミーセルカラム47を用意することにより、ダミーセルカラム46が不良セルを含むことによって全てのメモリセル43は読み出し不能になるという事態が避けられる。

【0109】

クロスポイントセルアレイ41は、更に、選択ワード線を選択するXセクタ48と、選択ビット線を選択するYセクタ49とを備えている。Yセクタ49は、選択ビット線とダミービット線とを読み出し回路42に接続する。但し、ダミーセルカラム46が冗長ダミーセルカラム47に置換される場合には、Yセクタ49は、

ダミーセル44が接続されるダミービット線の代わりに冗長ダミーセル45が接続される冗長ダミービット線を読み出し回路42に接続する。

【0110】

実施の第3形態のMRAMは、クロスポイントセルアレイ41に含まれるメモリセル43の冗長救済を行うために、複数のリダグダンシセルアレイ51と、冗長読み出し回路52とを備えている。リダグダンシセルアレイ51は、行列をなして配置された冗長メモリセル53と、x方向に延設されている複数の冗長ワード線と、y方向に延設されている複数の冗長ビット線とを備えている。但し、図を見やすくするために、冗長ワード線と冗長ビット線とは図示されていない。冗長メモリセル53は、冗長ワード線と冗長ビット線とが交差する位置に設けられている。冗長メモリセル53は、図2に示されているメモリセル2と同一の構成を有し、ピン層と、フリー層と、該ピン層と該フリー層との間に介設されたトンネル障壁層とから形成されるMTJを含む。y方向に並ぶ一列の冗長メモリセル53は、同一の冗長ビット線に接続されており、一の冗長ビット線に接続されている冗長メモリセル53により、一の冗長メモリセルカラムが構成されている。複数の冗長メモリセルカラムが、一のリダグダンシセルアレイ51に含まれる。

【0111】

リダグダンシセルアレイ51に含まれる冗長メモリセルカラムは、不良セルを含むメモリセルカラムがクロスポイントセルアレイ41に存在する場合に、該メモリセルカラムを置換するために使用される。あるメモリセルカラムが不良セルを含む不良セルカラムである場合、該不良セルカラムに含まれる全てのメモリセルは、読み出し不能である。このような場合に、該不良セルカラムの代わりに、一の冗長メモリセルカラムが使用される。

【0112】

リダグダンシセルアレイ51は、更に、y方向に並んで配置されているリダグダンシセルアレイダミーセル54と、y方向に延設されている冗長ダミービット線（図示されない）とを備えている。リダグダンシセルアレイダミーセル54により、リダグダンシセルアレイダミーセルカラム55が構成されている。リダグダンシセルアレイダミーセル54は、図2に示されているメモリセル2と同一の構成を有し、ピン層と、フリー層と、該ピン層と該フリー層との間に介設されたトンネル障壁層とから形成されるMTJを含む。リダグダンシセルアレイダミーセル54は、冗長ワード線と冗長ダミービット線とが交差する位置に設けられ、全てのリダグダンシセルアレイダミーセル54は、冗長ダミービット線に接続されている。リダグダンシセルアレイダミーセル54は、冗長メモリセル53のうちのーが選択セルとして選択されたとき、該選択セルに接続する選択ビット線を流れる検知電流Isからオフセット成分を除去するために使用され

る。リダグダンシセルアレイダミーセルカラム55は、冗長ダミーセルカラム47とは異なり、ダミーセルカラム46を置換するために設けられているのではない。リダグダンシセルアレイダミーセルカラム55は、リダグダンシセルアレイ51の端ではなく、中間に配置されている。即ち、リダグダンシセルアレイダミーセルカラム55は、いずれも、冗長メモリセルカラムの間に挿入されている。

【0113】

リダグダンシセルアレイ51は、更に、冗長ワード線のうちから選択ワード線を選択するXセクタ56と、冗長ビット線のうちから選択ビット線を選択するYセクタ57とを備えている。Yセクタ57は、選択ビット線と、リダグダンシセルアレイダミーセル54が接続されている冗長ダミービット線とを冗長読み出し回路52に接続する。

【0114】

不良セルカラムを冗長メモリセルカラムに置換しながら、読み出しが行われる選択セルと、オフセット成分電流の生成に使用される選択ダミーセルとを決定するために、実施の第3形態のMRAMには、デコード58、冗長デコード59、及びリダグダンシ回路60が設けられている。

【0115】

リダグダンシ回路60は、クロスポイントセルアレイ41に含まれている不良セルカラムを冗長メモリセルカラムに置換するための処理を行う。リダグダンシ回路60は、ヒューズ回路61と不良アドレス検出回路62とを含む。

【0116】

ヒューズ回路61は、ヒューズ群（図示されない）を含む。該ヒューズ群には、不良アレイアドレス、不良Yアドレス、及び不良ダミーセルカラムアドレスを示す情報が記録される。不良アレイアドレスとは、不良セルカラム又は不良ダミーセルカラムを含むクロスポイントセルアレイ41を示すアドレスである。不良Yアドレスとは、不良セルカラムのYアドレスである。不良ダミーセルカラムアドレスは、不良ダミーセルカラムを示すアドレスである。不良アレイアドレスと不良Yアドレスとは、どのメモリセルカラムをどの冗長セルカラムに置換するかを示す置換情報を構成し、不良アレイアドレスと不良ダミーセルカラムアドレスは、どのダミーセルカラム46が冗長ダミーセルカラム47に置換されるかを示す置換情報を構成する。

【0117】

不良アドレス検出回路62は、ヒューズ回路61に含まれるヒューズ群の状態から、不良アレイアドレス、不良Yアドレス、及び不良ダミーセルカラムアドレスを認識する。更に不良アドレス検出回路62は、不良アレイアドレスと不良ダミーセルカラムアドレスとをデコード5

8に出力する。更に不良アドレス検出回路62は、アレイアドレスとYアドレスとから、デコード58と冗長デコード59とのいずれを活性化するかを判断を行う。不良アドレス検出回路62は、該判断に基づいて、デコード58を活性化するデコード活性化信号をデコード58に出力し、冗長デコード59を活性化する冗長デコード活性化信号を冗長デコード59に出力する。

【0118】

デコード58は、クロスポイントセルアレイ41に含まれるXセクタ48及びYセクタ49を制御して、選択セルへの読み出し動作を可能にする。デコード58は、アレイアドレスと、Xアドレスと、Yアドレスと、不良アレイアドレスと、不良ダミーセルカラムアドレスと、デコード活性化信号とを受け取る。デコード58は、デコード活性化信号によって活性化されると、該アレイアドレスに基づいて、複数のクロスポイントセルアレイ41のうちから選択セルアレイを選択し、選択セルアレイに含まれるXセクタ48、及びYセクタ49を活性化する。更にデコード58は、活性化されたXセクタ48をXアドレスに基づいて制御して、Xセクタ48に選択ワード線を選択させる。更に、デコード58は、活性化されたYセクタ49をYアドレスに基づいて制御して、Yセクタ49に選択ワード線を選択させる。更にデコード58は、不良ダミーセルカラムアドレスに基づいて、活性化されたYセクタ49に、ダミーセル44が接続されているダミービット線と、冗長ダミーセル45が接続されている冗長ダミービット線とのいずれを読み出し回路42に接続するかを指示する。

【0119】

冗長デコード59は、リダグダンシセルアレイ51に含まれるXセクタ56とYセクタ57とを制御して、選択セルへの読み出し動作を可能にする。冗長デコード59は、不良アレイアドレスと、不良Yアドレスと、Xアドレスと、冗長デコード活性化信号とを受け取る。冗長デコード58は、冗長デコード活性化信号によって活性化されると、不良アレイアドレスと不良Yアドレスとに基づいて、複数のリダグダンシセルアレイ51のうちから選択冗長セルアレイを選択し、該選択冗長セルアレイに含まれるXセクタ56、及びYセクタ59を活性化する。更に冗長デコード59は、活性化されたXセクタ56をXアドレスに基づいて制御して、Xセクタ56に選択ワード線を選択させる。更に、冗長デコード59は、活性化されたYセクタ57を不良アレイアドレスと不良Yアドレスとに基づいて制御して、Yセクタ57に選択ワード線を選択させる。

【0120】

実施の第3形態のMRAMの読み出し動作は、以下の過程によって行われる。不良アドレス検出回路62により、不良ダミーセルカラムアドレス、不良アレイアドレス、及び不良Yアドレスが、ヒューズ回路61に含まれ

るヒューズ群の状態に応答して生成される。更に、デコード58と冗長デコード59とのうちのいずれを活性化するかを判断が不良アドレス検出回路62によって行われ、デコード活性化信号と冗長デコード活性化信号とが生成される。

【0121】

アレイアドレスとYアドレスとが、不良セルを含まないメモリセルカラムに含まれるメモリセル43を選択セルとして指定する場合、デコード58がデコード活性化信号によって活性化される。更に、アレイアドレスに基づいて、クロスポイントセルアレイ41のうちのいずれかが選択セルアレイとして選択される。更に、Xアドレスに基づいて、該選択セルアレイに含まれるワード線のうちから選択ワード線が選択され、Yアドレスに基づいて、該選択セルアレイに含まれるビット線のうちから選択ビット線が選択される。選択ワード線と選択ビット線とに接続されているメモリセル43が選択セルとして選択される。更に、該選択セルと同一のクロスポイントセルアレイ41に含まれるダミーセルカラム46と冗長ダミーセルカラム47とのうちの一方が選択される。ヒューズ回路61にダミーセルカラム46が不良セルを含む旨の情報が書き込まれている場合、ダミーセルカラム46は冗長ダミーセルカラム47に置換され、冗長ダミーセルカラム47が選択される。選択されたカラムに含まれるダミーセル44（又は、冗長ダミーセル45）のうち、選択ワード線に接続されているセルが、選択ダミーセルとして選択される。

【0122】

選択セルが接続されている選択ビット線と、選択ダミーセルが接続されているダミービット線（又は冗長ダミービット線）とが、Yセクタ49を介して読み出し回路49に接続される。読み出し回路49により、選択ビット線とダミービット線（又は冗長ダミービット線）とに電位 V_2' が供給される。更に、Xセクタ48により、選択ワード線に電位 V_1 が供給される。このとき、非選択ビット線に、読み出し回路49から電氣的に切り離された電源線（図示されない）から電位 V_2' と同一の電位 V_2 が供給されることは、スニークパス電流を減少する点で好ましい。

【0123】

電位 V_2' と電位 V_1 との印加により、選択ビット線には検知電流 I_s が、ダミービット線（又は冗長ダミービット線）には、オフセット成分電流 I_c が流れる。読み出し回路49は、検知電流 I_s とオフセット成分電流 I_c との差に対応する電流 $I_s - I_c$ に基づいて、選択セルに記憶されている記憶データを判別する。該記憶データの判別は、実施の第1形態と同一の過程によって行われる。既述の通り、電流 $I_s - I_c$ に基づいて記憶データを判別することにより、ショートセルによるオフセット成分はキャンセルされ、ショートセルと同一のワード

線に接続されるメモリセル43からの読み出しが可能である。

【0124】

一方、アレイアドレスとYアドレスとが、不良セルカラム43aに含まれるメモリセル43を選択セルとして指定する場合、不良セルカラム43aを置換する冗長セルカラム53aに含まれる冗長メモリセル53から、選択セルが選択される。この場合、冗長デコード59が、冗長デコード活性化信号によって活性化される。更に、不良アドレス検出回路62によって生成された不良アレイアドレスと不良Yアドレスとに基づいて、冗長セルカラム53aを含むリダンダンシセルアレイ51が選択セルアレイとして選択される。更に、Xアドレスに基づいて、該選択セルアレイに含まれる冗長ワード線のうちから選択ワード線が選択される。更に、該不良アレイアドレスと該不良Yアドレスとに基づいて、該冗長セルカラム53aに対応した冗長ビット線が選択ビット線として選択される。該冗長セルカラム53aに含まれる冗長メモリセル53のうち、選択ワード線と選択ビット線とに接続される冗長メモリセル53が選択セルとして選択される。更に、該選択セルアレイに含まれるリダンダンシセルアレイダミーセル54のうち、選択ワード線に接続されている冗長ダミーセルが、選択ダミーセルとして選択される。

【0125】

選択セルと選択ダミーセルとの選択以後の動作は、上述と同様である。選択セルが接続されている選択ビット線と、選択ダミーセルが接続されている冗長ダミービット線とが、Yセクタ57を介して冗長読み出し回路52に接続される。読み出し回路52により、選択ビット線と冗長ダミービット線とに電位 V_2' が供給される。更に、Xセクタ56により、選択ワード線に電位 V_1 が供給される。このとき、非選択ビット線に、読み出し回路52から電気的に切り離された電源線（図示されない）から電位 V_2' と同一の電位 V_2 が供給されることは、スニークパス電流を減少する点で好ましい。

【0126】

電位 V_2' と電位 V_1 との印加により、選択ビット線には検知電流 I_s が、冗長ダミービット線には、オフセット成分電流 I_c が流れる。読み出し回路52は、検知電流 I_s とオフセット成分電流 I_c との差に対応する電流 $I_s - I_c$ に基づいて、選択セルに記憶されている記憶データを判別する。該記憶データの判別は、実施の第1形態と同一の過程によって行われる。

【0127】

以上に説明された実施の第3形態のMRAMでは、電流 $I_s - I_c$ に基づいて記憶データの判別することにより、ショートセルと同一のワード線に接続されている正常なメモリセルからの読み出しが可能であるとことを利用して、不良セルカラムを冗長セルカラムで置換する冗

長設計が行われている。更に、クロスポイントセルアレイ41に、ダミーセルカラム46に加えて冗長ダミーセルカラム47が用意されていることにより、ダミーセルカラム46がショートセルを含む場合でも、クロスポイントセルアレイ41に含まれる全てのメモリセル43の読み出しが不能になるという事態が避けられている。

【0128】

実施の第3形態のMRAMにおいて、ダミーセルカラム46と冗長ダミーセルカラム47との配置は、変更され得る。例えば、図12に示されているように、ダミーセルカラム46と冗長ダミーセルカラム47とは、それらが隣接するように、且つ、ダミーセルカラム46と冗長ダミーセルカラム47との一の側にあるメモリセルカラムの数と、他の側にあるメモリセルカラムの数とが同一であるように配置され得る。このような配置は、選択ビット線とダミービット線（又は冗長ダミービット線）との間の距離を最小化し、検知電流 I_s に含まれるオフセット成分の真値と、オフセット成分電流 I_c との差を小さくできる点で好ましい。

【0129】

更に実施の第3形態のMRAMにおいて、ヒューズ回路61の代わりに、不揮発性メモリが使用されることが可能である。この場合、該不揮発性メモリに、不良アレイアドレス、不良Yアドレス、及び不良ダミーセルカラムアドレスを示す情報が記録される。

【0130】

更に、実施の第3形態のMRAMにおいて、実施の第2形態と同様に、各クロスポイントセルアレイ41とリダンダンシセルアレイ51に、参照セルと参照用ダミーセルとが追加される構成が可能である。参照セルと参照用ダミーセルとは、x方向（ワード線方向）に一行に並んで配置され、更に、参照ワード線に接続される。

【0131】

この場合、追加された参照セルのうちから選択された選択参照セルを用いて、参照検知電流 $I_{s'}$ が生成され、参照用ダミーセルを用いてオフセット成分電流 $I_{c'}$ が生成される。更に、電流 $I_s - I_c$ に加え、参照検知電流 $I_{s'}$ とオフセット成分電流 $I_{c'}$ との差に対応する電流 $I_{s'} - I_{c'}$ を使用して、実施の第2形態と同一の過程により、選択セルに記憶されている記憶データの判別が行われる。

【0132】

参照セルと参照用ダミーセルとが追加される場合、図13に示されているように、参照セル63を置換するために、x方向（ワード線方向）に一行に並んで配置された冗長参照セル64が追加されることが可能である。冗長参照セル64は、冗長参照ワード線に接続される。この場合、既述のヒューズ回路61には、参照セル63から構成される参照セルカラムが、冗長参照セル64から構成される冗長参照セルカラムに置換されるか否かを示す

43

置換情報が記憶され、リダグダンシー回路60は、該置換情報に回答して、参照セルカラムが冗長セルカラムに置換するように、デコード58と冗長デコード59とを制御する。一の参照セル63が不良セルである場合、該一の参照セル63と同一のビット線に接続されている冗長参照セル64が、該一の参照セル63の代わりに使用されて参照検知電流 I_{sense} が生成される。この場合、参照セル63の列と冗長参照セル64の列とは、クロスポイントセルアレイ41（又はリダグダンシーセルアレイ51）の中央に位置することが好ましい。

【0133】

（実施の第4形態）

図14は、実施の第4形態のMRAMを示す。実施の第4形態のMRAMは、実施の第1～第3形態に開示されている技術と異なる技術により、メモリセルに記憶されているデータの判別の信頼性を向上する。

【0134】

実施の第4形態のMRAMは、クロスポイントセルアレイ71を備えている。クロスポイントセルアレイ71は、複数のメモリセル72と、x方向（ワード線方向）に延設された複数のワード線73と、y方向（ビット線方向）に延設された複数のビット線74とを含む。

【0135】

メモリセル72の構造は、図2に示されているメモリセル2と同一であり、ピン層と、フリー層と、該ピン層とフリー層との間に介設されたトンネル障壁層とから形成されるMTJを含む。メモリセル72のピン層が有する自発磁化は、x方向（ワード線方向）に固定されている。メモリセル72のフリー層が有する自発磁化は、反転可能であり、ピン層の自発磁化と平行な方向と反平行な方向とに与えることが許されている。メモリセル72は、ワード線73とビット線74との交点に配置され、メモリセル72のそれぞれは、該メモリセル72において交差する一のワード線73と一のビット線74との間に介設されている。

【0136】

クロスポイントセルアレイ71は、更に、y方向（ビット線方向）に並んで配置された参照セル75と、y方向に延設された参照ビット線76とを含む。参照セル75には、実施の第2形態で説明された参照セル31と同様に、“1”又は“0”のうちのいずれかが固定的に書き込まれ、参照セル75は、リファレンス電圧の生成に使用される。但し、参照セル75の配置は、参照セル31とは異なり、y方向（ビット線）に並んで配置されていることに注意されるべきである。参照セル75は、ワード線3と参照ビット線76とが交差する位置に配置され、参照セル75のそれぞれは、一のワード線73と参照ビット線76との間に介設されている。

【0137】

参照セル75は、図15に示されているように、そのフ

44

リー層の面積がメモリセル72のフリー層の面積とは異なり、参照セル75のフリー層の面積がメモリセル72のフリー層の面積よりも小さくなるように形成されている。これにより、参照セル75の抵抗 R_{ref} は、メモリセル72が取り得る2つの抵抗値 R 及び $R + \Delta R$ の間になるように調節されている。

【0138】

参照セル75のフリー層の面積が小さいことは、参照セル75に記憶されているデータが偶発的に反転されることを防止する上でも好ましい。参照セル75に含まれるフリー層は、バルク的な性質を示す中央領域と、バルク的な性質が失われている周辺領域とを含む。フリー層の自発磁化は、主として、中央領域に由来する。参照セル75のフリー層の面積が小さいと、周辺領域が中央領域に及ぼす影響が大きくなり、フリー層の自発磁化が反転しにくくなる。リファレンス電圧の生成に使用される参照セル75の自発磁化が反転しにくいことは、安定したリファレンス電圧の生成を可能にする点で好ましい。

【0139】

メモリセル72のフリー層と参照セル75のフリー層とは、いずれも、x方向（ワード線方向）に自発磁化が向きやすいようにx方向に細長い形状を有しているが、参照セル75のフリー層は、メモリセル72のフリー層よりも一層にx方向に細長い形状を有している。即ち、参照セル75のフリー層のx方向の長さを b_{ref} 、参照セル75のフリー層のy方向の幅を a_{ref} 、メモリセル72のフリー層のx方向の長さを b_{cell} 、メモリセル72のフリー層のy方向の幅を a_{cell} として、

下記式：

$$a_{ref}/b_{ref} < a_{cell}/b_{cell},$$

…(2)

が成立している。より詳細には、メモリセル72のフリー層と参照セル75のフリー層とは、メモリセル72のフリー層のx方向の長さ b_{cell} と参照セル75のフリー層のx方向の長さ b_{ref} とが、実質的に同一であり、且つ、参照セル75のフリー層のy方向の幅 a_{ref} がメモリセル72のフリー層のy方向の幅 a_{cell} よりも小さくなるように形成されている。このように、参照セル75のフリー層がメモリセル72のフリー層よりも一層にx方向に細長い形状を有していることは、参照セル75が有する自発磁化の向きを一層に強くx方向に拘束し、これにより、参照セル75の状態を安定化する。参照セル75の状態の安定化は、安定したリファレンス電圧の生成を可能にする点で好ましい。

【0140】

クロスポイントセルアレイ71は、更に、第1Xセクタ77、第2Xセクタ78、第1Yセクタ79、及び第2Yセクタ80を含む。第1Xセクタ77及び第2Xセクタ78は、ワード線73に接続され、複数

のワード線 73 のうちから選択ワード線を選択する。第 1 Yセクタ 79、及び第 2 Yセクタ 80 は、ビット線 74 に接続され、複数のビット線 74 のうちから選択ビット線を選択する。メモリセル 72 のうちから選択ワード線と選択ビット線とに接続されているメモリセルが、選択セル 72a として選択される。更に、参照セル 75 のうちから選択ワード線に接続されているセルが、選択参照セル 75a として選択される。後述されるように、選択参照セル 75a は、選択セル 72a に記憶されている記憶データの判別のために使用される。

【0141】

より詳細には、第 1 Xセクタ 77 は、ワード線 73 のうちから選択ワード線を、電位 V_1 を有する第 1 電源線 81 に接続し、選択されない非選択ワード線を、第 1 電源線 81 から切り離す。第 2 Xセクタ 78 は、非選択ワード線を、電位 V_2 を有する第 2 電源線 82 に接続し、選択ワード線を、第 2 電源線 82 から切り離す。これにより、選択ワード線には電位 V_1 が、非選択ワード線には電位 V_2 が供給される。

【0142】

第 1 Yセクタ 79 は、ビット線のうちから、選択されない非選択ビット線を上述の第 2 電源線 82 に接続し、選択ビット線を、第 2 電源線 82 から切り離す。これにより、非選択ビット線には、非選択ワード線と同一の電位 V_2 が供給される。非選択ビット線と非選択ワード線とに同一の電位 V_2 を供給することは、スニークパス電流を効果的に抑制する。非選択ビット線と非選択ワード線とに電位 V_2 を供給する電圧源として、第 2 電源線 82 が共通に使用されることは、非選択ビット線と非選択ワード線とに供給される電位の同一性を高める点で好ましい。第 2 Yセクタ 80 は、選択ビット線と参照ビット線 76 とを読み出し回路 83 に接続し、非選択ビット線を読み出し回路 83 から切り離す。

【0143】

選択セル 72a に記憶されている記憶データの判別は、読み出し回路 83 によって行われる。読み出し回路 83 は、選択セル 72a に記憶されている記憶データの判別するとき、選択ビット線と参照ビット線 76 とを、第 2 電源線 82 の電位 V_2 に実質的に同一である電位 V_2' に維持する。選択ビット線への電位 V_2' の印加により、選択ビット線と選択ワード線との間には、電圧 $V_2' - V_1$ が印加され、選択ビット線には検知電流 I_s が流れる。更に、参照ビット線 76 への電位 V_2' の印加により、参照ビット線 76 と選択ワード線との間には、電圧 $V_2' - V_1$ が印加され、参照ビット線 76 には参照電流 I_r が流れる。非選択ビット線に印加される電位 V_2 と、選択ビット線及び参照ビット線 76 に印加される電位 V_2' とが実質的に一致されることにより、クロスポイントセルアレイ 71 を流れるスニークパス電流は、効果的に減少されている。

【0144】

読み出し回路 83 は、選択ビット線を流れる検知電流 I_s と、参照ビット線 76 を流れる参照電流 I_r とを比較して、選択セル 72a に記憶されている記憶データを判別する。選択セル 72a の抵抗値は、選択セル 72a に記憶されている記憶データに応じて変化するから、検知電流 I_s は、該記憶データに応じて変化する。読み出し回路 83 は、検知電流 I_s と参照電流 I_r との比較の結果から選択セル 72a に記憶されている記憶データを判別し、該記憶データの内容を示すデータ信号 SAOUT を出力する。

【0145】

読み出し回路 83 は、典型的には、I-V変換回路 84、85 と、比較器 86 と、カウンタ 87 とを含む。I-V変換回路 84 は、第 2 Yセクタ 80 を介して選択ビット線に接続され、I-V変換回路 85 は、第 2 Yセクタ 80 を介して参照ビット線 76 に接続される。I-V変換回路 84 は、検知電流 I_s を、検知電位 V_p に変換し、I-V変換回路 85 は、参照電流 I_r をリファレンス電位 V_p ($r.o.f$) に変換する。

【0146】

図 3 は、典型的な I-V変換回路 84、85 を示している。I-V変換回路 84 は、NMOSトランジスタ 88 と抵抗器 92 とを含む。NMOSトランジスタ 88 のソースは、第 2 Yセクタ 80 を介して選択ビット線に接続される。NMOSトランジスタ 88 のゲートには、電位 $V_{b1..}$ が供給される。電位 $V_{b1..}$ を適切に制御することにより、選択ビット線が電位 V_2' に維持される。NMOSトランジスタ 88 のドレインは、出力ノード 90 に接続されている。出力ノード 90 は、抵抗器 92 を介して、電源電位 V_{cc} を有する電源端子 93 に接続されている。検知電流 I_s は、電圧端子 93 から抵抗器 92 及び NMOSトランジスタ 88 を介して選択ビット線に流れる。抵抗器 92 において発生する電圧降下は、検知電流 I_s に応答して変化するため、出力ノード 90 の電位は、検知電流 I_s に応答して変化する。出力ノード 90 の電位が、検知電圧 V_p として比較器 86 に出力される。

【0147】

I-V変換回路 85 は、I-V変換回路 84 と同様の構成を有しており、NMOSトランジスタ 89 と抵抗器 94 とを含む。NMOSトランジスタ 89 のソースは、第 2 Yセクタ 80 を介して参照ビット線 76 に接続される。NMOSトランジスタ 89 のゲートには、電位 $V_{b1..}$ が供給され、電位 $V_{b1..}$ を適切に制御することにより、参照ビット線 76 が電位 V_2' に維持される。NMOSトランジスタ 89 のドレインは、出力ノード 91 に接続されている。出力ノード 91 は、抵抗器 94 を介して、電源電位 V_{cc} を有する電源端子 95 に接続されている。参照電流 I_r は、電圧端子 95 から抵抗

器 9 4 及び NMOS トランジスタ 8 9 を介して参照ビット線 7 6 に流れる。抵抗器 9 4 の電圧降下は、参照電流 I_r に応答して変化するため、出力ノード 9 1 の電位は、参照電流 I_r に応答して変化する。出力ノード 9 1 の電位が、リファレンス電圧 $V_{p(r.i)}$ として比較器 8 6 に出力される。

[0 1 4 8]

比較器 86 は、検知電圧 V_p とリファレンス電圧 $V_p(r.o.f)$ とを比較する。比較器 86 は、検知電圧 V_p とリファレンス電圧 $V_p(r.o.f)$ とを比較して、選択セル 72a に記憶されているデータを判別する。比較器 86 は、検知電圧 V_p がリファレンス電圧 $V_p(r.o.f)$ よりも高い場合に "1" を、検知電圧 V_p がリファレンス電圧 $V_p(r.o.f)$ よりも低い場合に "0" を出力する。但し、後述されるように、比較器 86 が判別したデータは、読み出し回路 83 が選択セル 72a に記憶されていると判別したデータとは、必ずしも一致しないことに留意されるべきである。

【0149】

カウンタ 87 は、 n ビット (n は、2 以上の整数) の値を保持するカウンタである。カウンタ 87 は、比較器 86 から “1” を受け取るごとに、それが保持する値を 1 だけ増加する。カウンタ 87 が保持する値の最上位ビット (MSB) が、データ信号 SAOUT として出力される。

[0 1 5 0]

続いて、実施の第4形態のMRAMの読み出し動作が説明される。図17に示されているように、実施の第4形態では、スニークパス電流によるデータの誤読み出しを防ぐために、選択セル72aに対する読み出しが $2^n - 1$ 回行われる。図17には、 $n = 4$ であり、15回の読み出しが行われる例が示されている。各読み出し動作において、選択セル72aから検知電流 I_s が取り出され、選択参照セル75aから参照電流 I_r が取り出される。更に、検知電流 I_s から検知電圧 V_p が生成され、参照電流 I_r からリファレンス電圧 $V_{p(r.r)}$ が生成される。比較器86は、検知電圧 V_p がリファレンス電圧 $V_{p(r.r)}$ よりも高い場合に選択セル72aに記憶されている記憶データが“1”であると判断し、“1”をカウンタ87に出力する。一方、比較器86は、検知電圧 V_p がリファレンス電圧 $V_{p(r.r)}$ よりも低い場合、選択セル72aに記憶されている記憶データが“0”であると判断し、“0”をカウンタ87に出力する。“0”を出力する。

[0 1 5 1]

選択セル72aに対する2ⁿ - 1回の読み出しにおいて、比較器86が"0"を出力する回数が多ければ、nビットのカウント87が保持する値の最上位ビット(MSB)は"0"となり、データ信号SAOUTは、"0"に設定されて出力される。読み出し回路83は、選

10

択セル72aに記憶されている記憶データが“0”であると判別したことになる。一方、比較器86が“1”を出力する回数が多ければ、カウンタ87が保持する値の最上位ビット(MSB)は“1”となり、データ信号SAOUTは、“1”に設定されて出力される。読み出し回路83は、選択セル72aに記憶されている記憶データが“1”であると判別したことになる。

[0 1 5 2]

以上に説明されているように、本実施の形態では、選択セル72aに対する読み出しが複数回行われることにより、選択セル72aに記憶されている記憶データの判別の確実性が向上されている。よって、MTJのMR比が数%程度と充分大きくないメモリセルに対しても読み出しが可能である。選択セル72aに対する読み出しの回数が、奇数回であることは、多数決による選択セル72aに記憶されている記憶データの判別を可能にする点で好ましい。

【0153】

本実施の形態において、ECC (Error Checking and Correcting) 技術を併用して読み出し結果を補償することが可能である。ECC 技術による読み出し結果の補償は、記憶データの判別の確実性をより向上できる点で好適である。

【 0 1 5 4 】

更に、選択セル72aに対して行われる読み出しの回数は、 $2^n - 1$ 回以外であることも可能である。この場合、カウンタ87は、比較器86が“0”を出力する回数が、“1”を出力する回数よりも多ければ、データ信号SAOUTを“0”として出力し、カウンタ87は、比較器86が“1”を出力する回数が、“0”を出力する回数よりも多ければ、データ信号SAOUTを“1”として出力する。

【 0 1 5 5 】

しかし、カウンタ 87 が n ビットのカウンタであり、選択セル 72 a に対して行われる読み出しの回数が $2^n - 1$ 回である場合には、カウンタ 87 が保持する値の最上位ビット MSB をデータ信号 SAOUT として出力する動作が、比較器 86 が "1" を出力する回数と "0" を出力する回数とを比較する動作と等価になる。これは、読み出し回路 83 の回路構成を簡略化する点で好適である。

[0 1 5 6]

実施の第4形態において、参照セル75が、メモリセル72と同一の構造を有することも可能である。この場合、I-V変換回路84に含まれる抵抗器92の抵抗値 R_s と、I-V変換回路85に含まれる抵抗器94の抵抗値 R_r とは、下記式：

$$V_p(0) < V_p(\text{ref}) < V_p(1), \quad \dots$$

(3)

を満足するように調整される。抵抗値 R_r を抵抗 R_s よ

りも小さくすることにより、式(3)を満足することが可能である。

【0157】

但し、本実施の形態のように、参照セル75とメモリセル72との面積が異なり、参照セル75の面積が、メモリセル72の面積よりも小さいことが好適である。参照セル75とメモリセル72との面積が異なることにより、I-V変換回路84、85を同一の構成にし、対称性を高めることが可能である。I-V変換回路84、85の対称性が保たれていることは、検知電流 I_s と参照電流 I_r との比較の感度を向上し、従って、選択セル72aに記憶されているデータの判別の信頼性を向上する。

【0158】

【発明の効果】

本発明により、MRAMのメモリセルに記憶されているデータを高い信頼性で決定するための技術が提供される。

【0159】

また、本発明により、スニークパス電流の影響を抑制し、これによりMRAMのメモリセルに記憶されているデータを高い信頼性で決定するための技術が提供される。

【図面の簡単な説明】

【図1】図1は、本発明によるMRAMの実施の第1形態を示す。

【図2】図2は、メモリセル2の構成を示す。

【図3】図3は、減算回路17の構成を示す。

【図4】図4は、実施の第1形態のMRAMの読み出し動作を示す。

【図5】図5(a)は、従来のMRAMにおいてショートセルの存在によって読み出し不能になるメモリセルを示し、図5(b)は、実施の第1形態のMRAMにおいてショートセルの存在によって読み出し不能になるメモリセルを示す。

【図6】図6は、本発明によるMRAMの実施の第1形態の変形例を示す。

【図7】図7は、本発明によるMRAMの実施の第2形態を示す。

【図8】図8は、実施の第2形態のMRAMの読み出し動作を示す。

【図9】図9(a)は、選択参照セル31aが読み出される1回目の読み出しにおいて、各ワード線(参照ワード線)に印加される電圧と、各ビット線(ダミービット線)に印加される電圧とを示す。図9(b)は、選択セル2aが読み出される2回目の読み出しにおいて、各ワード線(参照ワード線)に印加される電圧と、各ビット線(ダミービット線)に印加される電圧とを示す。

【図10】図10は、本発明によるMRAMの実施の第2形態の変形例を示す。

【図11】図11は、本発明による実施の第3形態のMRAMを示す。

【図12】図12は、本発明による実施の第3形態のMRAMの変形例を示す。

【図13】図13は、本発明による実施の第3形態のMRAMの他の変形例を示す。

【図14】図14は、本発明による実施の第4形態のMRAMを示す。

【図15】図15は、メモリセル72と参照セル75の構造を示す。

【図16】図16は、I-V変換回路84、85を示す。

【図17】図17は、本発明による実施の第4形態のMRAMの動作を示す。

【図18】図18は、公知のMRAMを示す。

【図19】図19は、公知のMRAMの動作を示す。

【図20】図20は、公知のMRAMの他の動作を示す。

【符号の説明】

1: クロスポイントセルアレイ

2: メモリセル

2a: 選択セル

3: ワード線

4: ビット線

5: ピン層

6: フリー層

7: トンネル障壁層

8: ダミーセル

8a: 選択ダミーセル

9: ダミービット線

11: Xセクタ

12: 第1 Yセクタ

13: 第2 Yセクタ

14: 第1電源線

15: 第2電源線

16: 読み出し回路

17: 減算回路

18: I-V変換回路

19: 電圧保持回路

20: 比較器

21, 22: NMOSトランジスタ

23, 24: PMOSトランジスタ

25, 26: 電源端子

27: 出力ノード

31: 参照セル

31a: 選択参照セル

32: 参照用ダミーセル

33: 参照ワード線

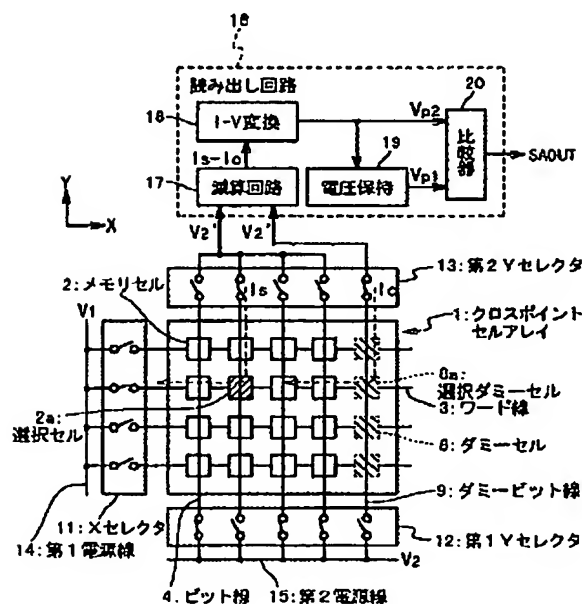
41: クロスポイントセルアレイ

42: 読み出し回路

51

43: メモリセル
 43a: 不良セルカラム
 44: ダミーセル
 45: ダミーセルカラム
 46: 冗長ダミーセル
 47: 冗長ダミーセルカラム
 48: Xセクタ
 49: Yセクタ
 51: リダンダンシセルアレイ
 52: 冗長読み出し回路
 53: 冗長メモリセル
 53a: 冗長セルカラム
 54: リダンダンシセルアレイダミーセル
 55: リダンダンシセルアレイダミーセルカラム
 56: Xセクタ
 57: Yセクタ
 58: デコーダ
 59: 冗長デコーダ
 60: リダンダンシ回路
 61: ヒューズ回路
 62: 不良アドレス検出回路
 63: 参照セル

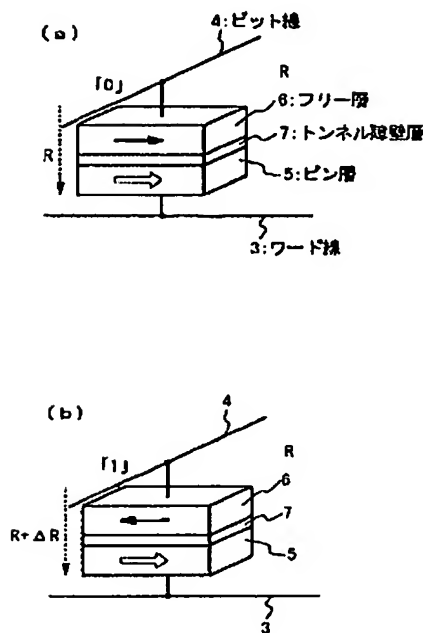
【図1】



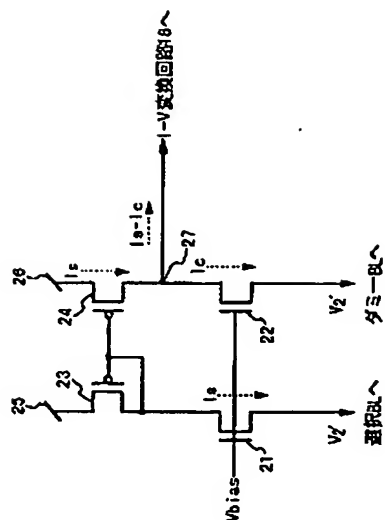
52

64: 冗長参照セル
 71: クロスポイントセルアレイ
 72: メモリセル
 73: ワード線
 74: ビット線
 75: 参照セル
 76: 参照ビット線
 77: 第1 Xセクタ
 78: 第2 Xセクタ
 79: 第1 Yセクタ
 80: 第2 Yセクタ
 81: 第1電源線
 82: 第2電源線
 83: 読み出し回路
 84, 85: I-V変換回路
 86: 比較器
 87: カウンタ
 88, 89: NMOSトランジスタ
 90, 91: 出力ノード
 92, 94: 抵抗器
 93, 95: 電源端子

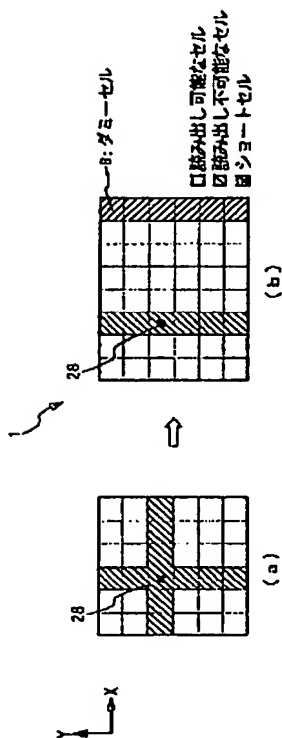
【図2】



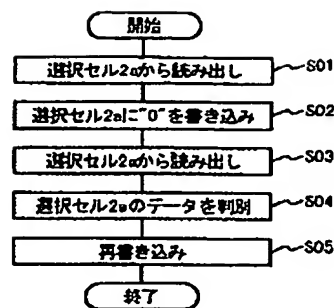
【図3】



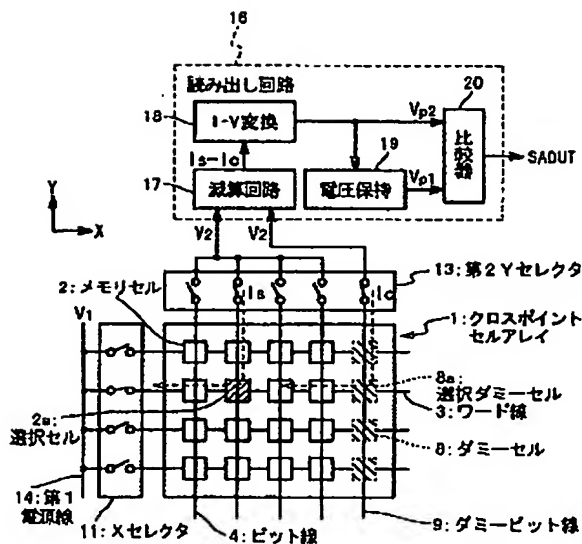
【図5】



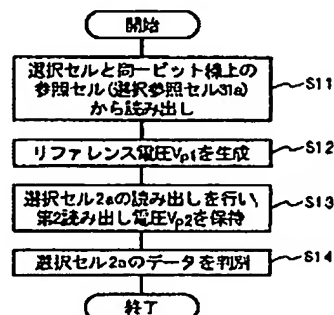
【図4】



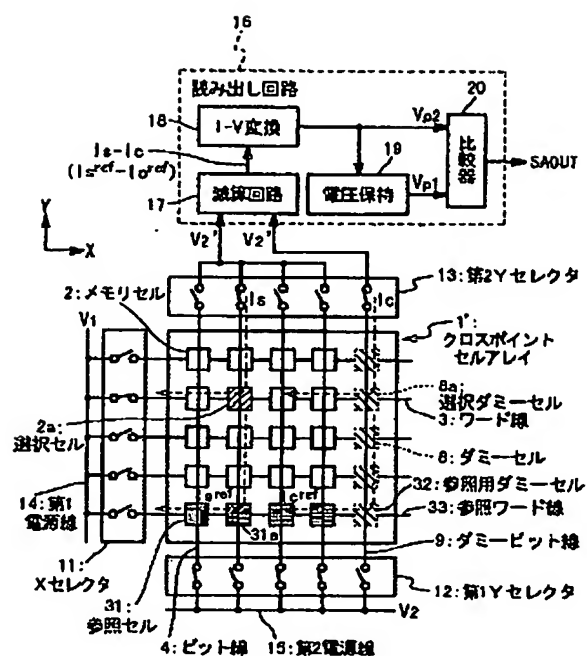
【図6】



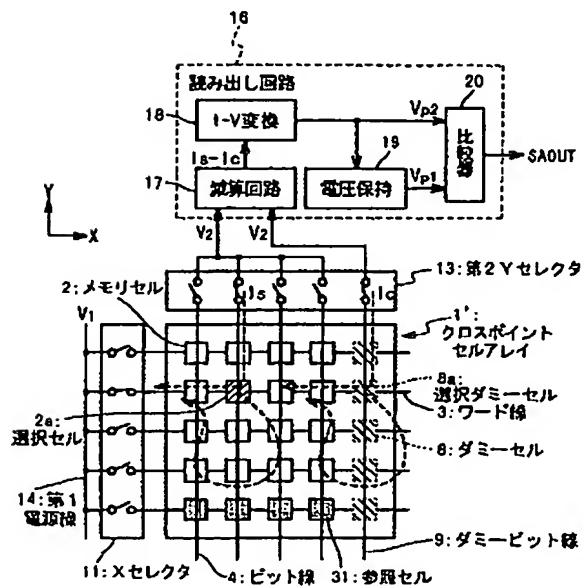
【図8】



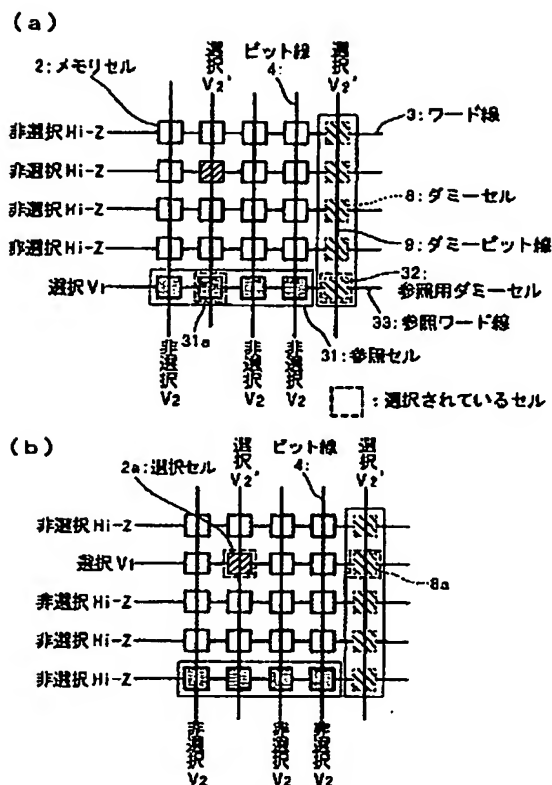
【図7】



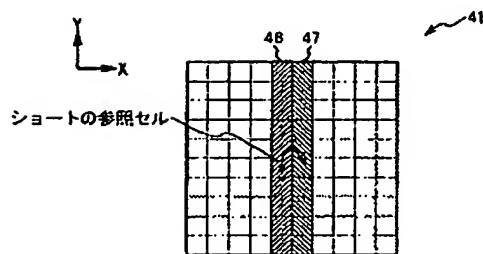
【図10】



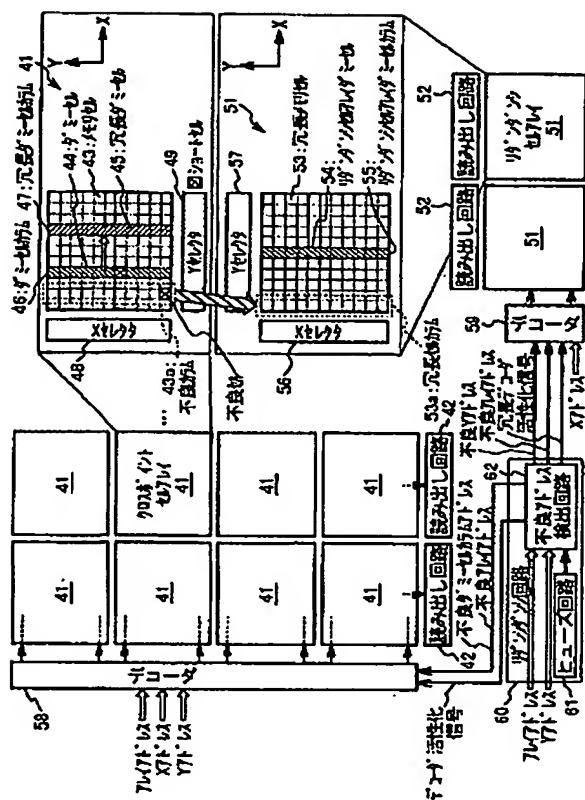
【図9】



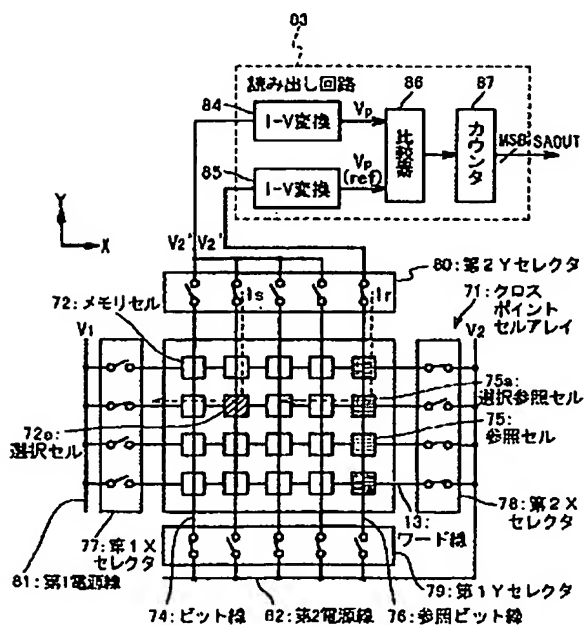
【図12】



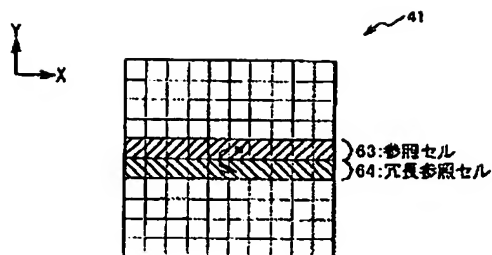
【図11】



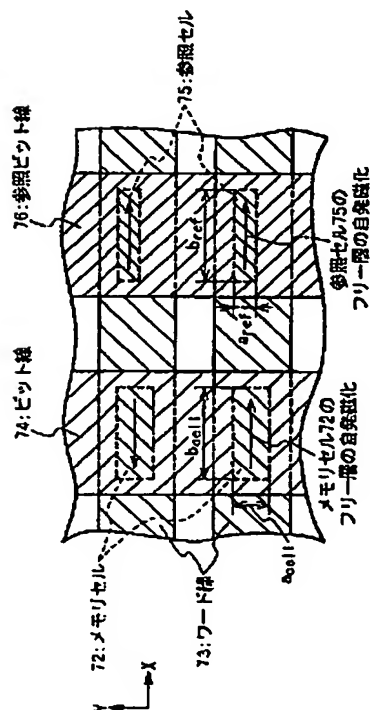
【図14】



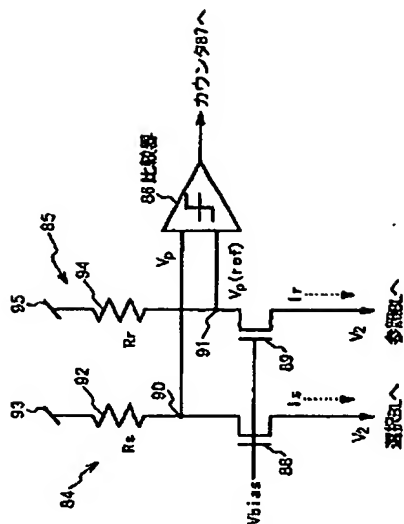
【図13】



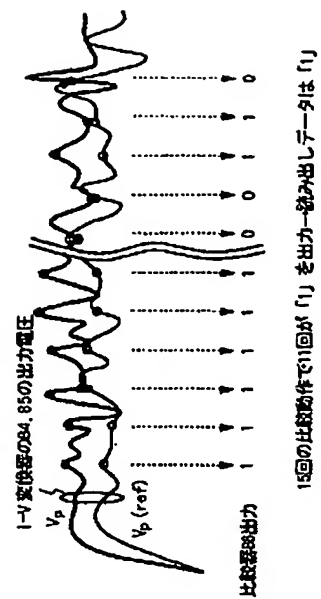
【図15】



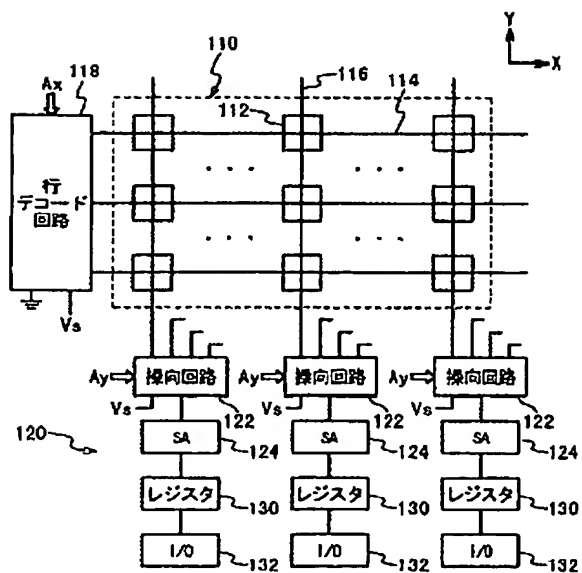
【図16】



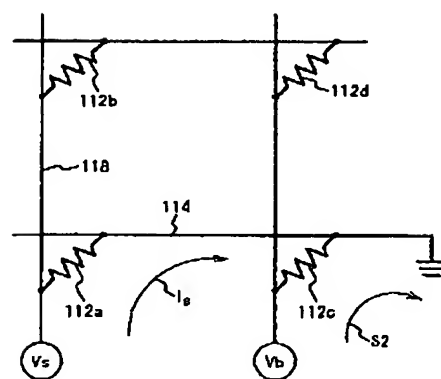
【図17】



【図18】



【図19】



【図20】

